

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 10 月 23 日 (23.10.2003)

PCT

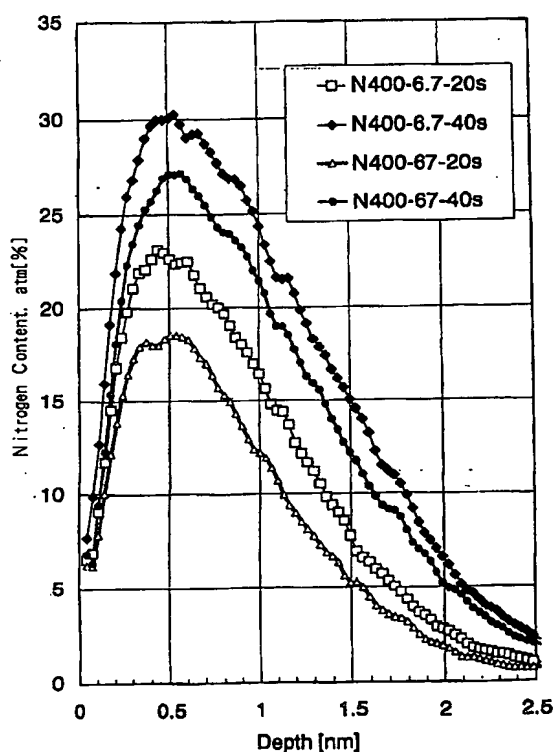
(10) 国際公開番号
WO 03/088345 A1

- (51) 国際特許分類⁷: H01L 21/318, 29/78 (72) 発明者; および
(75) 発明者/出願人 (米国についてののみ): 菅原 卓也 (SUGAWARA, Takuya) [JP/JP]; 〒407-0192 山梨県 韭崎市 穂坂町三ツ沢 6 5 0 東京エレクトロン株式会社内 Yamanashi (JP). 尾崎 成則 (OZAKI, Shigenori) [JP/JP]; 〒660-0891 兵庫県 尼崎市 扶桑町 1-8 東京エレクトロン株式会社内 Hyogo (JP). 佐々木 勝 (SASAKI, Masaru) [JP/JP]; 〒660-0891 兵庫県 尼崎市 扶桑町 1-8 東京エレクトロン株式会社内 Hyogo (JP).
- (21) 国際出願番号: PCT/JP03/04126
- (22) 国際出願日: 2003 年 3 月 31 日 (31.03.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-97871 2002 年 3 月 29 日 (29.03.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED) [JP/JP]; 〒107-8481 東京都 港区 赤坂五丁目 3 番 6 号 Tokyo (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KR, KZ, LC, LK, LR, LS, LT,

[続葉有]

(54) Title: MATERIAL FOR ELECTRONIC DEVICE AND PROCESS FOR PRODUCING THE SAME

(54) 発明の名称: 電子デバイス用材料およびその製造方法



(57) Abstract: A material for electronic device at least comprising a substrate for electronic device and, superimposed thereon, a film of silicon oxynitride. This silicon oxynitride film is characterized in that when, in the direction of the thickness of silicon oxynitride film, the distribution of nitrogen content is investigated in accordance with the SIMS (secondary ion mass spectrometry) analysis, nitrogen atoms are contained in high proportion in the vicinity of the surface of oxynitride film. This characteristic enables obtaining a material for electronic device that contains an oxynitride film of excellent gate leak properties having a boron penetration inhibiting effect superior to that of a silicon oxide film.

(57) 要約: 電子デバイス用基材と、該基材上に配置されたシリコン酸窒化膜とを少なくとも含む電子デバイス用材料。このシリコン酸窒化膜は、該シリコン酸窒化膜の厚さ方向に、SIMS (二次イオン質量分析) 分析に基づく窒素含有量の分布を調べた際に、酸窒化膜表面付近に窒素原子を多く含むことを特徴とする。上記構成により、シリコン酸窒化膜よりも優れたボロン突き抜け抑制効果を有し、優れたゲートリーク特性を有した酸窒化膜を含む電子デバイス用材料が得られる。



LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO,
NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL,
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU,
ZA, ZM, ZW.

- (84) 指定国(広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM,
AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR),

OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

電子デバイス用材料およびその製造方法

技術分野

本発明は、種々の特性（例えば、ホウ素に対するバリア性）に優れた酸化膜を有する電子デバイス材料およびその製造方法に関する。本発明の電子デバイス材料およびその製造方法は、例えば、半導体ないし半導体装置（例えば、特性に優れたゲート絶縁膜を有するMOS型トランジスタ構造を有するもの）用の材料を形成するために好適に使用することが可能である。

背景技術

本発明は半導体ないし半導体装置、液晶デバイス等の電子デバイス材料の製造に一般的に広く適用可能であるが、ここでは説明の便宜のために、半導体装置（devices）の背景技術を例にとって説明する。

近年の半導体装置の微細化に伴い、薄く、しかも良質のシリコン酸化膜（ SiO_2 膜）に対するニーズが著しく高まって来ている。例えば、半導体装置の構成として最もポピュラーなMOS型トランジスタ構造（図1）においては、いわゆるスケーリングルールに従って、極めて薄く（例えば2.5 nm以下程度）、しかも良質のゲート絶縁膜（ SiO_2 膜）に対するニーズが極めて高くなっている。

従来より、このようなゲート絶縁膜材料としては、850℃～1000℃程度の高温加熱炉を用いてシリコン基板を直接に酸化して得られるシリコン酸化膜（ SiO_2 膜）が工業的に使用されてきた

。しかしながら、このような SiO_2 膜を単に2.5nm以下に薄くした場合には、このゲート絶縁膜を流れる漏れ電流（ゲートリーク電流）が大きくなり、消費電力の増大やデバイス特性劣化の加速などの問題が生じていた。

また、従来の薄いゲート絶縁膜を用いた際には、P型MOSトランジスタのゲート電極形成時に当該ゲート電極（主にポリシリコン）に含まれるホウ素が SiO_2 膜へ突き抜けて、ゲート電極のホウ素濃度が変わるために、半導体デバイス特性を劣化させるという問題も生じていた。このような問題点を解決する一つの方法として、ゲート絶縁膜材料として酸化窒素膜（酸化窒素膜）を使用することが検討されている。

窒素が絶縁膜中に含まれると、膜の誘電率が上がり、同じ物理膜厚の酸化膜と比較して電氣的容量（キャパシタンス）が増加するという利点がある。MOS型トランジスタは、典型的には、後述する図1に示すような構造で表すことができるが、これは二つの金属（ドーパされたポリシリコン（ゲート電極）とシリコン基板）の間に誘電体としてゲート絶縁膜が用いられているMOS（Metal-Oxide-Semiconductor）キャパシタ構造を含む。

トランジスタ動作を高速化させるためには、図1に示されるソースとドレイン間をキャリアが移動する時間を短くする必要がある。その手段としてはソースとドレイン間を移動するキャリアの速度（移動度）を高める方法と、ソースとドレインの距離を短くする方法の二通りのアプローチが有る。現在のシリコン基板と酸化膜界面の制御は限界に達しており、これ以上移動度を高めることは困難である。

したがって、現在ではトランジスタの高速化のために、図1のM

OS構造におけるチャンネル長を短くする方法が用いられている。このチャンネル長が短いほどキャリアが移動する時間が短くなり、高速のトランジスタ動作が可能となる。しかし、チャンネル長を短くすることはその部分に含まれるMOSキャパシタの面積を小さくする、すなわち容量を小さくすることと同意であり、それでは動作時に誘起されるキャリア（電子や正孔）量が不足し、動作するに十分なS/N比を得ることが困難となる。したがって、高速で動作信頼性の有るデバイスを実現するためには、面積を小さくしても容量の低下を抑える手段を講じなくてはならない。

その手段として、従来より、図1のゲート絶縁膜の膜厚を薄くする方法が取られてきたが、薄膜化に伴い次のような問題が生じてきた。一つはシリコン基板（チャンネル）とゲート電極間に量子力学的トンネル効果により電流（リーク電流）が流れて消費電力が増大する問題である。近年始まったユビキタス社会（何時でもどこでもネットワークに繋がる電子デバイスを媒体にした情報化社会）における携帯型電子機器の発達には低消費電力デバイスが必須であり、このリーク電流の低減が重要な課題となる。

また、ゲート酸化膜の薄膜化に伴い、前述したようにP型MOSトランジスタにおけるゲート電極からのホウ素の付き抜けが深刻な問題となっている。ホウ素は酸化膜を通過しやすい特性を持っており、薄膜化が進むにつれホウ素が酸化膜を付き抜けてゲート電極のホウ素濃度（ドーピング量）が変わると言う問題が生じてきた。低消費デバイスにはCMOS構造（N型とP型のトランジスタの混載）が必須であり、したがってP型MOSトランジスタの存在も必須となる。ゲート電極のドーピング量はトランジスタの閾値電圧を変化させ、トランジスタの動作を不規則にする恐れがある。したがって、ホウ素の突き抜けを防止することは極めて重要である。

これらの問題を解決するために、上述したように、シリコン酸化膜中に窒素を含ませる方法が提案されている。窒素が含まれることで、誘電率は上昇し、またホウ素の突き抜けを防止できることが知られている。

しかしながら、このような酸窒化膜を直接且つ単純に熱酸窒化法によって形成すると、シリコン基板との界面に多数の窒素が含有されてしまい、デバイス特性が劣化してしまう傾向が避けがたい。界面に窒素が含有されるとキャリアの移動度が劣化し、トランジスタ動作特性が劣化することが知られている。また、熱酸化膜とCVD（化学気相成長法）によるSiN膜形成を組み合わせたSiO₂/SiNスタック構造では、SiO₂/SiN界面にキャリアのトラップ（膜中準位）が生じ、しきい値電圧のシフト等のデバイス特性が劣化してしまう傾向がある。

SiO₂膜を加熱によって窒化しようとする通常は1000℃以上の高温が必要であるため、この熱工程によりシリコン基板に注入されたドーパントが差異拡散することによってデバイス特性が劣化してしまう傾向がある（このような方法は、特開昭55-134937号公報や特開昭59-4059号公報などに開示されている）。

発明の開示

本発明の目的は、上記した従来技術の欠点を解消し、優れた特性（例えば、優れたホウ素バリア性）を有する酸窒化膜を含む電子デバイス用材料およびその製造方法を提供することにある。

本発明の他の目的は、基材と酸窒化膜との界面における窒素の含有量を制御することで良好な界面特性（高い移動度）を有し、しかも酸窒化膜中における膜中準位を抑制した酸窒化膜を含む電子デバ

イス用材料およびその製造方法を提供することにある。

本発明者は鋭意研究の結果、電子デバイス用基材上に、S I M S（二次イオン質量分析）分析に基づく窒素含有量の分布においてシリコン酸窒化膜の表面付近に窒素を配置することが、上記目的の達成のために極めて効果的なことを見出した。

本発明の電子デバイス用材料は上記知見に基づくものであり、より詳しくは、電子デバイス用基材と、該基材上に配置されたシリコン酸窒化膜とを少なくとも含む電子デバイス用材料であって；前記シリコン酸窒化膜が、該シリコン酸窒化膜の厚さ方向に、S I M S（二次イオン質量分析）分析に基づく窒素含有量の分布を調べた際に、表面付近に窒素原子を多く含むことを特徴とするものである。

本発明によれば、更に、電子デバイス用基材上に配置されたシリコン酸窒化膜に対して、少なくとも窒素ガスを含む処理ガスに基づくプラズマを照射することにより、その厚さ方向に、S I M S（二次イオン質量分析）分析に基づく窒素含有量の分布を調べた際に、表面付近に窒素原子を多く含むことを特徴とする電子デバイス用材料の製造方法が提供される。

上記構成を有する本発明の電子デバイス用材料は、それを構成するシリコン酸窒化膜がN原子高濃度の部分を有しているため、優れた特性（例えば、ホウ素に対するバリア性）が得られ、しかも、その分布におけるN原子低濃度の部分の存在により、シリコン酸窒化膜／電子デバイス用基材の界面における特性（例えば移動度）の劣化を抑制することができる。

図面の簡単な説明

図1は、本発明により形成することが可能なM O S構造の一例を示す模式断面図である。

図 2 は、本発明の電子デバイス材料の製造方法により製造可能な半導体装置の一例を示す部分模式断面図である。

図 3 は、本発明の電子デバイス材料の製造方法を実施するための半導体製造装置の一例を示す模式平面図である。

図 4 は、本発明の電子デバイス材料の製造方法に使用可能な平面アンテナ（R L S A ; Slot Plane Antennaないし S P A と称される場合もある）プラズマ処理ユニットの一例を示す模式的な垂直断面図である。

図 5 は、本発明の電子デバイス材料の製造装置に使用可能な R L S A の一例を示す模式的な平面図である。

図 6 は、本発明の電子デバイス材料の製造方法に使用可能な加熱反応炉ユニットの一例を示す模式的な垂直断面図である。

図 7、図 8 は、本発明の製造方法における各工程の一例を示すフローチャートである。

図 9 は、実施例により得られた酸窒化膜の S I M S 分析結果を示すグラフである。

図 10 は、実施例により得られた酸窒化膜の S I M S 分析結果を示すグラフである。

図 11 は、実施例により得られた酸窒化膜の S I M S 分析結果を示すグラフである。

図 12 は、実施例により得られた酸窒化膜の S I M S 分析結果を示すグラフである。

図 13 は、実施例により得られた酸窒化膜に対するホウ素突き抜け試験の結果を示すグラフである。

発明を実施するための最良の形態

以下、必要に応じて図面を参照しつつ本発明を更に具体的に説明

する。以下の記載において量比を表す「部」および「%」は、特に断らない限り質量基準とする。

(電子デバイス用材料)

本発明の電子デバイス用材料は、電子デバイス用基材と、該基材上に配置されたシリコン酸窒化 (S i O N) 膜とを少なくとも含む。本発明においては、該シリコン酸窒化膜は、その厚さ方向に、S I M S (二次イオン質量分析) 分析に基づく窒素含有量の分布を有する。

(電子デバイス用基材)

本発明において使用可能な上記の電子デバイス用基材は特に制限されず、公知の電子デバイス用基材の1種または2種以上の組合せから適宜選択して使用することが可能である。このような電子デバイス用基材の例としては、例えば、半導体材料、液晶デバイス材料等が挙げられる。半導体材料の例としては、例えば、単結晶シリコンを主成分とする材料、シリコンゲルマニウムを主成分とする材料、液晶デバイス材料としてはガラス基板上に成膜されたポリシリコン、アモルファスシリコン等が挙げられる。

(シリコン酸窒化膜)

本発明においては、S I M S (二次イオン質量分析) 分析に基づく窒素含有量の分布を有する限り、シリコン酸窒化膜の組成、形状、層厚、層中の窒素原子の分布 (分布) 等は特に制限されない。本発明においては、P型トランジスタにおけるドーパント (ボロン) の拡散防止の点からは、上記窒素含有量は10パーセント以上、更には20パーセント以上であることが望ましい。他方、誘電率向上の点からは、上記窒素含有量は20パーセント以上、40パーセント以下であることが望ましい。これは、窒素含有量が低すぎると誘電率向上の効果が低く、高すぎると窒素が界面まで到達する可能性

が高くなり、界面におけるキャリア特性（移動度）などが劣化するためである。一般にシリコン酸化膜（ SiO_2 ）の誘電率は3.9、シリコン窒化膜（ Si_3N_4 ）の誘電率は7であることが知られている。したがって、純粋に酸化膜との混合比が1:0.2である酸窒化膜の場合、酸窒化膜の誘電率は $(3.9 \times 1 + 7 \times 0.2) \div (1 + 0.2) = 4.1$ となる。その酸窒化膜を用いた場合、膜厚は酸化膜と比較して $4.1 \div 3.9 = 1.1$ 倍の物理的に厚い膜を成膜することが可能となるが、その程度では、誘電率向上による消費電力抑制の効果は薄い。したがって、窒素含有量は高いほど良いことになる。逆に高すぎるとシリコン基板－酸化膜界面に窒素が多量に含まれるため、界面における特性劣化（移動度の劣化など）が顕著になり、薄膜化を行ったメリット（ソースドレイン間の距離を短くすることによる高速化）が消失する。以上から、適正な窒素含有量を制御することが好ましい。

このような窒素含有量は、SIMS（二次イオン質量分析）の方法により好適に測定することが可能である。このような窒素含有量測定の際の好適な条件を下記に示す。

<窒素含有量測定の好適な条件>

測定機器：Physical Electronics 6650

1次イオン種：Cs+

1次加速電圧：0.75KV

スパッタレート：約 $9 \text{ E} - 3 \text{ nm} / \text{sec}$

測定領域：直径 $420 \mu\text{m} \times 672 \mu\text{m}$

真空度： $3 \text{ E} - 7 \text{ Pa}$ 以下

測定イオン極性：+

チャージアップ補正法：有

イオンの信号強度から濃度への変換は、Nをイオン注入したSiO₂標準試料の測定によって決定した相対感度係数(RSF: Relative Sensitive Factor)を用いて行う。また、スパッタ時間の深さへの変換は分析によって生じたクレータの深さを表面粗さ計(SLOAN社 DEKTAK 8000)を用いて測定することによって行う。

(窒素原子の分布)

本発明において、ホウ素等に対する突き抜け抑制と、酸窒化膜／基材界面における良好な界面準位とのバランスの点からは、酸窒化膜中における窒素原子分布曲線(プロファイル)の半値幅は、2 nm以下であることが好ましい。この半値幅は、更には1.5 nm以下、特に1 nm以下であることが好ましい。

本発明における酸窒化膜は、上記した酸窒化膜／基材界面における良好な界面準位とのバランスの点から、更には下記(1)～(3)の1以上の特性を有することが好ましい。

(1) 酸窒化膜表面側(すなわち、酸窒化膜の、基材との対向面と反対側の面)から0～1.5 nmの範囲における窒素原子含有量(atm%)の最大値N_s: 好ましくは10～30 atm%、より好ましくは20～30 atm%

(2) 酸窒化膜の、基材との対向面から0～0.5 nmの範囲における窒素原子含有量(atm%)の最大値N_b: 好ましくは0～10 atm%、より好ましくは0～5 atm%

(3) 上記N_sとN_bとの比N_s/N_b: 好ましくは2以上、より好ましくは3以上、特に4以上

(電子デバイス用材料の製造方法)

上記した構成を有する本発明の電子デバイス用材料の製造方法は特に制限されないが、高い窒素含有量を有し、低い熱履歴によるチ

チャンネルドープメントの拡散防止の点からは、電子デバイス用基材上に配置されたシリコン酸化膜に対して、少なくとも窒素ガスを含む処理ガスに基づくプラズマを照射する方法が好ましい。

本発明の酸窒化膜形成において、プラズマを用いた場合には、熱窒化法と比較して低温で窒化を行うことが可能であり、チャンネルドープメントの拡散防止が可能という利点がある。さらには、プラズマを用いて SiO_2 膜を窒化した場合には、 SiO_2 膜上にCVD法により窒化膜を形成する場合と比較して、一般に膜中の準位が少ない高品質の酸窒化膜（例えばゲート酸窒化膜）を得やすいという利点がある。

（処理ガス）

本発明において使用可能な処理ガスは、少なくとも窒素ガスを含む限り特に制限されず、電子デバイス製造に使用可能な公知の処理ガスの1種または2種以上の組合せから適宜選択して使用することが可能である。このような処理ガスの例としては、例えば、希ガスと窒素（ N_2 ）を含む混合ガスが挙げられる。

（希ガス）

本発明において使用可能な希ガスは特に制限されず、電子デバイス製造に使用可能な公知の希ガスの1種または2種以上の組合せから適宜選択して使用することが可能である。このような処理ガスの例としては、例えば、クリプトン（ Kr ）、キセノン（ Xe ）、ヘリウム（ He ）、ネオン（ Ne ）又はアルゴン（ Ar ）を挙げることができる。

（処理ガス条件）

本発明の酸窒化膜作製においては、形成されるべき酸窒化膜の特性の点からは、下記の条件が好適に使用できる。

希ガス（例えば、 Kr 、 Ar 、 He または Xe ）：500～30

0 0 s c c m、より好ましくは1 0 0 0 ~ 2 0 0 0 s c c m、

N_2 : 2 ~ 5 0 0 s c c m、より好ましくは4 ~ 3 0 0 s c c m

温度 : 室温 2 5 °C ~ 5 0 0 °C、より好ましくは2 5 0 ~ 5 0 0 °C
、特に好ましくは2 5 0 ~ 4 0 0 °C

圧力 : 3 ~ 2 6 0 P a、より好ましくは7 ~ 2 6 0 P a、特に好ましくは7 ~ 1 3 0 P a

マイクロ波 : 0 . 7 ~ 4 . 2 W / c m²、より好ましくは1 . 4 ~ 4 . 2 W / c m²、特に好ましくは1 . 4 ~ 2 . 8 W / c m²

(平面アンテナ部材)

本発明の電子デバイス材料の製造方法においては、複数のスロットを有する平面アンテナ部材を介してマイクロ波を照射することにより電子温度が低くかつ高密度なプラズマを大面積に均一性良く形成することができる。本発明においては、このような優れた特性を有するプラズマを用いて酸窒化膜の形成を行うため、プラズマダメージが小さく、かつ低温で反応性の高いプロセスが可能となる。

(好適なプラズマ)

本発明において好適に使用可能なプラズマの特性は、以下の通りである。

電子温度 : 0 . 5 ~ 2 . 0 e V

密度 : 1 E 1 0 ~ 5 E 1 2 / c m³

プラズマ密度の均一性 : ± 1 0 %

本発明によれば、良質な酸窒化膜を形成することができる。したがって、この酸窒化膜上に他の層（例えば、電極層）を形成することにより、特性に優れた半導体装置の構造を形成することが容易である。

(酸窒化膜の好適な特性)

本発明によれば、下記のように好適な特性を有する酸窒化膜を容易に形成することができる。

電氣的膜厚（換算膜厚） 1. 0 ～ 2. 5 n m

リーク特性 D r y O x と比較して半桁～1 桁低減

膜厚均一性 ± 2 %

（半導体構造の好適な特性）

本発明の方法の適用すべき範囲は特に制限されないが、本発明により形成可能な良質な酸窒化膜は、M O S 構造のゲート絶縁膜として特に好適に利用することができる。

（M O S 半導体構造の好適な特性）

本発明により形成可能な極めて薄く、しかも良質な酸窒化膜は、半導体装置の絶縁膜（特にM O S 半導体構造のゲート絶縁膜）として特に好適に利用することができる。

本発明によれば、下記のように好適な特性を有するM O S 半導体構造を容易に製造することができる。なお、本発明により形成した酸窒化膜の特性を評価する際には、例えば、文献（応用物理第69巻第9号（2000年）P P 1049～1059）に記載されたような標準的なM O S 半導体構造を形成して、そのM O S の特性を評価することにより、上記酸窒化膜の自体の特性評価に代えることができる。このような標準的なM O S 構造においては、該構造を構成する酸窒化膜の特性が、M O S 特性に強い影響を与えるからである。

（製造装置の一態様）

以下、本発明の製造方法の好適な一態様について説明する。

まず本発明の電子デバイス材料の製造方法によって製造可能な半導体装置の構造の一例について、絶縁膜としてゲート絶縁膜を備えたM O S 構造を有する半導体装置を図2を参照しつつ説明する。

図 2 (a) を参照して、この図 2 (a) において参照番号 1 はシリコン基板、11 はフィールド酸化膜、2 はゲート絶縁膜であり、13 はゲート電極である。上述したように、本発明の製造方法によれば極めて薄く且つ良質なゲート絶縁膜 2 を形成することができる。このゲート絶縁膜 2 は、図 2 (b) に示すように、シリコン基板 1 との界面に形成された、品質の高い絶縁膜からなる。例えば 2.5 nm 程度の厚さの酸化膜 2 により構成されている。

この例では、この品質の高い酸化膜 2 は、 O_2 および希ガスを含む処理ガスの存在下で、Si を主成分とする被処理基体に、複数のスロットを有する平面アンテナ部材を介してマイクロ波を照射することによりプラズマを形成し、このプラズマを用いて前記被処理基体表面に形成されたシリコン酸化膜（以下「 SiO_2 膜」という）からなることが好ましい。このような SiO_2 膜を用いた際には、後述するように、界面特性（例えば、界面準位）が良好で、且つ MOS 構造とした際に良好なゲートリーク特性を得ることが容易という特徴がある。

本発明においては、このシリコン酸化膜 2 の表面には、上記したような窒化処理を施すことが好ましい。このシリコン酸化膜 2 の窒化処理された表面の上には、更にシリコン（ポリシリコンまたはアモルファスシリコン）を主成分とするゲート電極 13 が形成されている。

（製造方法の一態様）

次に、このようなシリコン酸化膜 2、窒化処理表面 22、更にその上にゲート電極 13 が配設された電子デバイス材料の製造方法について説明する。

図 3 は本発明の電子デバイス材料の製造方法を実施するための半導体製造装置 30 の全体構成の一例を示す概略図（模式平面図）で

ある。

図 3 に示すように、この半導体製造装置 30 のほぼ中央には、ウエハ W (図 3) を搬送するための搬送室 31 が配設されており、この搬送室 31 の周囲を取り囲むように、ウエハに種々の処理を行うためのプラズマ処理ユニット 32、33、各処理室間の連通／遮断の操作を行うための二機のロードロックユニット 34 および 35、種々の加熱操作を行うための加熱ユニット 36、およびウエハに種々の加熱処理を行うための加熱反応炉 47 が配設されている。なお、加熱反応炉 47 は、上記半導体製造装置 30 とは別個に独立して設けてもよい。

ロードロックユニット 34、35 の横には、種々の予備冷却ないし冷却操作を行うための予備冷却ユニット 45、冷却ユニット 46 がそれぞれ配設されている。

搬送室 31 の内部には、搬送アーム 37 および 38 が配設されており、前記各ユニット 32～36 との間でウエハ W (図 3) を搬送することができる。

ロードロックユニット 34 および 35 の図中手前側には、ローダーアーム 41 および 42 が配設されている。これらのローダーアーム 41 および 42 は、更にその手前側に配設されたカセットステージ 43 上にセットされた 4 台のカセット 44 との間でウエハ W を出し入れすることができる。

なお、図 3 中のプラズマ処理ユニット 32、33 としては、同型のプラズマ処理ユニットが二基並列してセットされている。

更に、これらプラズマ処理ユニット 32 およびユニット 33 は、ともにシングルチャンバ型 CVD 処理ユニットと交換することが可能であり、プラズマ処理ユニット 32 や 33 の位置に一基または二基のシングルチャンバ型 CVD 処理ユニットをセットすることも可

能である。

プラズマ処理が二基の場合、例えば、処理ユニット 3 2 で SiO_2 膜を形成した後、処理ユニット 3 3 で SiO_2 膜を表面窒化する方法を行っても良く、また処理ユニット 3 2 および 3 3 で並列に SiO_2 膜形成と SiO_2 膜の表面窒化を行っても良い。或いは別の装置で SiO_2 膜形成を行った後、処理ユニット 3 2 および 3 3 で並列に表面窒化を行うこともできる。

(ゲート絶縁膜成膜の一態様)

図 4 はゲート絶縁膜 2 の成膜に使用可能なプラズマ処理ユニット 3 2 (3 3) の垂直方向の模式断面図である。

図 4 を参照して、参照番号 5 0 は、例えばアルミニウムにより形成された真空容器である。この真空容器 5 0 の上面には、基板（例えばウエハ W）よりも大きい開口部 5 1 が形成されており、この開口部 5 1 を塞ぐように、例えば石英や酸化アルミニウム等の誘電体により構成された扁平な円筒形状の天板 5 4 が設けられている。この天板 5 4 の下面である真空容器 5 0 の上部側の側壁には、例えばその周方向に沿って均等に配置した 1 6 箇所の位置にガス供給管 7 2 が設けられており、このガス供給管 7 2 から O_2 や希ガス、 N_2 および H_2 等から選ばれた 1 種以上を含む処理ガスが、真空容器 5 0 のプラズマ領域 P 近傍にムラなく均等に供給されるようになっている。

天板 5 4 の外側には、複数のスロットを有する平面アンテナ部材、例えば銅板により形成された平面アンテナ (RLSA) 6 0 を介して、高周波電源部をなし、例えば 2.45 GHz のマイクロ波を発生するマイクロ波電源部 6 1 に接続された導波路 6 3 が設けられている。この導波路 6 3 は、RLSA 6 0 に下縁が接続された扁平な平板状導波路 6 3 A と、この平板状導波路 6 3 A の上面に一端側

が接続された円筒形導波管 6 3 B と、この円筒形導波管 6 3 B の上面に接続された同軸導波変換器 6 3 C と、この同軸導波変換器 6 3 C の側面に直角に一端側が接続され、他端側がマイクロ波電源部 6 1 に接続された矩形導波管 6 3 D とを組み合わせ構成されている。

前記円筒形導波管 6 3 B の内部には、導電性材料からなる軸部 6 2 の、一端側が R L S A 6 0 の上面のほぼ中央に接続し、他端側が円筒形導波管 6 3 B の上面に接続するように同軸状に設けられており、これにより当該導波管 6 3 B は同軸導波管として構成されている。

また真空容器 5 0 内には、天板 5 4 と対向するようにウエハ W の載置台 5 2 が設けられている。この載置台 5 2 には図示しない温調部が内蔵されており、これにより当該載置台 5 2 は熱板として機能するようになっている。更に真空容器 5 0 の底部には排気管 5 3 の一端側が接続されており、この排気管 5 3 の他端側は真空ポンプ 5 5 に接続されている。

(R L S A の一態様)

図 5 は本発明の電子デバイス材料の製造装置に使用可能な R L S A 6 0 の一例を示す模式平面図である。

この図 5 に示したように、この R L S A 6 0 では、表面に複数のスロット 6 0 a、6 0 a、…が同心円状に形成されている。各スロット 6 0 a は略方形の貫通した溝であり、隣接するスロットどうしは互いに直交して略アルファベットの「T」の文字を形成するように配設されている。スロット 6 0 a の長さや配列間隔は、マイクロ波電源部 6 1 より発生したマイクロ波の波長に応じて決定されている。

(加熱反応炉の一態様)

図 6 は本発明の電子デバイス材料の製造装置に使用可能な加熱反応炉 4 7 の一例を示す垂直方向の模式断面図である。

図 6 に示すように、加熱反応炉 4 7 の処理室 8 2 は、例えばアルミニウム等により気密可能な構造に形成されている。この図 6 では省略されているが、処理室 8 2 内には加熱機構や冷却機構を備えている。

図 6 に示したように、処理室 8 2 には上部中央にガスを導入するガス導入管 8 3 が接続され、処理室 8 2 内とガス導入管 8 3 内とが連通されている。また、ガス導入管 8 3 はガス供給源 8 4 に接続されている。そして、ガス供給源 8 4 からガス導入管 8 3 にガスが供給され、ガス導入管 8 3 を介して処理室 8 2 内にガスが導入されている。このガスとしては、ゲート電極形成の原料となる、例えばシラン等の各種のガス（電極形成ガス）を用いることができ、必要に応じて、不活性ガスをキャリアガスとして用いることもできる。

処理室 8 2 の下部には、処理室 8 2 内のガスを排気するガス排気管 8 5 が接続され、ガス排気管 8 5 は真空ポンプ等からなる排気手段（図示せず）に接続されている。この排気手段により、処理室 8 2 内のガスがガス排気管 8 5 から排気され、処理室 8 2 内が所望の圧力に設定されている。

また、処理室 8 2 の下部には、ウエハ W を載置する載置台 8 7 が配置されている。

この図 6 に示した態様においては、ウエハ W と略同径大の図示しない静電チャックによりウエハ W が載置台 8 7 上に載置されている。この載置台 8 7 には、図示しない熱源手段が内設されており、載置台 8 7 上に載置されたウエハ W の処理面を所望の温度に調整できる構造に形成されている。

この載置台 8 7 は、必要に応じて、載置したウエハ W を回転でき

るような機構になっている。

図 6 中、載置台 8 7 の右側の処理室 8 2 壁面にはウエハ W を出し入れするための開口部 8 2 a が設けられており、この開口部 8 2 a の開閉はゲートバルブ 9 8 を図中上下方向に移動することにより行われる。図 6 中、ゲートバルブ 9 8 の更に右側にはウエハ W を搬送する搬送アーム（図示せず）が隣設されており、搬送アームが開口部 8 2 a を介して処理室 8 2 内に入り出して載置台 8 7 上にウエハ W を載置したり、処理後のウエハ W を処理室 8 2 から搬出するようになっている。

載置台 8 7 の上方には、シャワー部材としてのシャワーヘッド 8 8 が配設されている。このシャワーヘッド 8 8 は載置台 8 7 とガス導入管 8 3 との間の空間を区画するように形成されており、例えばアルミニウム等から形成されている。

シャワーヘッド 8 8 は、その上部中央にガス導入管 8 3 のガス出口 8 3 a が位置するように形成され、シャワーヘッド 8 8 下部に設置されたガス供給孔 8 9 を通し、処理室 8 2 内にガスが導入されている。

（絶縁膜形成の態様）

次に、上述した装置を用いて、ウエハ W 上にゲート絶縁膜 2 となる絶縁膜を形成する方法の好適な一例について説明する。

図 7 は本発明の方法における各工程の流れの一例を示す図である。

図 7 を参照して、まず、A の工程でウエハ W 表面に素子分離となるフィールド酸化膜チャネルインプラ、犠牲酸化膜を形成する。B の工程で犠牲酸化膜を除去する。

次いでプラズマ処理ユニット 3 2（図 3）内の真空容器 5 0 の側壁に設けたゲートバルブ（図示せず）を開いて、搬送アーム 3 7、

38により、前記犠牲酸化膜が除去されたウエハWを載置台52（図4）上に載置する。

続いてゲートバルブを閉じて内部を密閉した後、真空ポンプ55により排気管53を介して内部雰囲気気を排気して所定の真空度まで真空引きし、所定の圧力に維持する。一方マイクロ波電源部61より例えば 2 W/cm^2 のマイクロ波を発生させ、このマイクロ波を導波路により案内してRLSA60および天板54を介して真空容器50内に導入し、これにより真空容器50内の上部側のプラズマ領域Pにて高周波プラズマを発生させる。

ここでマイクロ波は矩形導波管63D内を矩形モードで伝送し、同軸導波変換器63Cにて矩形モードから円形モードに変換され、円形モードで円筒形同軸導波管63Bを伝送し、更に平板状導波路63Aを径方向に伝送していき、RLSA60のスロット60aより放射され、天板54を透過して真空容器50に導入される。この際マイクロ波を用いているため高密度・低電子温度のプラズマが発生し、またマイクロ波をRLSA60の多数のスロット60aから放射しているため、このプラズマが均一な分布なものとなる。

次いで、載置台52の温度を調節してウエハWを例えば 400°C に加熱しながら、ガス供給管72より酸化膜形成用の処理ガスであるクリプトンやアルゴン等の希ガスと、 O_2 ガスとを、それぞれ 2000 sccm 、 200 sccm の流量で導入してC工程（酸化膜の形成）を実施する。

この工程Cでは、導入された処理ガスはプラズマ処理ユニット32内にて発生したプラズマ流により活性化（ラジカル化）され、このプラズマにより図8（a）の模式断面図に示すように、シリコン基板1の表面が酸化されて酸化膜（ SiO_2 膜）2が形成される。こうしてこの酸化処理を例えば40秒間行い、 2.5 nm の厚さの

ゲート酸化膜またはゲート酸窒化膜用下地酸化膜（下地 SiO_2 膜）21を形成することができる。

次に、ゲートバルブ（図示せず）を開き、真空容器50内に搬送アーム37、38（図3）を進入させ、載置台52上のウエハWを受け取る。この搬送アーム37、38はウエハWをプラズマ処理ユニット32から取り出した後、隣接するプラズマ処理ユニット33内の載置台にセットする（ステップ2）。また、用途により、ゲート酸化膜を窒化せずに熱反応炉47に移動する場合もある。

（窒化含有層形成の態様）

次いで、このプラズマ処理ユニット33内でウエハW上に表面窒化処理が施され（図7（c））、先に形成された下地酸化膜（下地 SiO_2 ）21の表面上に窒化含有層22（図8（b））が形成される。

この表面窒化処理の際には、例えば、真空容器50内にて、ウエハ温度が例えば400℃、プロセス圧力が例えば66.7Pa（500mTorr）の状態、容器50内にガス導入管よりアルゴンガスと、 N_2 ガスとを、それぞれ1000sccm、40sccmの流量で導入する。

その一方で、マイクロ波電源部61より例えば2W/cm²のマイクロ波を発生させ、このマイクロ波を導波路により案内してRLSA60bおよび天板54を介して真空容器50内に導入し、これにより真空容器50内の上部側のプラズマ領域Pにて高周波プラズマを発生させる。

この工程（表面窒化）では、導入されたガスはプラズマ化し、窒素ラジカルが形成される。この窒素ラジカルがウエハW上面上の SiO_2 膜上で反応し、比較的短時間で SiO_2 膜表面を窒化する。このようにして図8（b）に示すように、ウエハW上の下地酸化膜（

下地 SiO_2 膜) 21 の表面に窒素含有層 22 が形成される。

この窒化処理を例えば 20 秒行うことで、換算膜厚 2 nm 程度の厚さのゲート酸窒化膜 (酸窒化膜) を形成することができる。

(ゲート電極形成の態様)

次に、ウェハ W 上の SiO_2 膜上または下地 SiO_2 膜を窒化処理した酸窒化膜上にゲート電極 (図 7 E、図 2 の 13) を形成する。このゲート電極 13 を形成するためには、ゲート酸化膜またはゲート酸窒化膜が形成されたウェハ W をそれぞれプラズマ処理ユニット 32 または 33 内から取り出し、搬送室 31 (図 3) 側に一旦取り出し、しかる後に加熱反応炉 47 内に收容する (ステップ 4)。加熱反応炉 47 内では所定の処理条件下でウェハ W を加熱し、ゲート酸化膜またはゲート酸窒化膜上に所定のゲート電極 13 を形成する。

このとき、形成するゲート電極 13 の種類に応じて処理条件を選択することができる。

即ち、ポリシリコンからなるゲート電極 13 を形成する場合には、例えば処理ガス (電極形成ガス) として、 SiH_4 を使用し、20 ~ 33 Pa (150 ~ 250 mTorr) の圧力、570 ~ 630 °C の温度条件下で処理する。

また、アモルファスシリコンからなるゲート電極 13 を形成する場合には、例えば処理ガス (電極形成ガス) として、 SiH_4 を使用し、20 ~ 67 Pa (150 ~ 500 mTorr) の圧力、520 ~ 570 °C の温度条件下で処理する。

更に、 SiGe からなるゲート電極 13 を形成する場合には、例えば $\text{GeH}_4 / \text{SiH}_4 = 10 / 90 \sim 60 / 40 \%$ の混合ガスを使用し、20 ~ 60 Pa の圧力、460 ~ 560 °C の温度条件下で処理する。その後、ゲート電極のパターニング、エッチングを行い (

図 7 F)、ソース・ドレインを形成し(図 7 G)、配線工程を行う(図 7 H)ことで P 型 MOS トランジスタが形成される。

(酸化膜の品質)

上述した第 1 の工程では、ゲート酸化膜またはゲート酸窒化膜用下地酸化膜を形成するに際し、処理ガスの存在下で、Si を主成分とするウエハ W に、複数のスロットを有する平面アンテナ部材(RLSA)を介してマイクロ波を照射することにより酸素(O_2)および希ガスとを含むプラズマを形成し、このプラズマを用いて前記被処理基体表面に酸化膜を形成しているため、品質が高く、且つ膜質制御を首尾よく行うことができる。

(高品質酸窒化膜の推定メカニズム)

また、上記第 2 の工程で表面窒化処理して得られる酸窒化膜は優れた品質を備えている。その理由は、本発明者の知見によれば、以下のように推定される。

上記 RLSA によって酸化膜表面に生成される窒素ラジカルは高密度であるため、酸化膜表面にパーセント単位で窒素を混入することが可能である。また、熱による窒素ラジカル生成に比べ、低温(300 度程度)でも高密度な窒素ラジカルを生成でき、ドーパントの拡散等に代表される熱によるデバイス特性の劣化を抑制することが可能である。更に、膜中の窒素は酸化膜表面に含有されるため、界面特性を劣化させることなく、誘電率を向上させ、また、ホウ素の突き抜け防止効果等の性能を発揮することが可能である。

(好適な MOS 特性の推定メカニズム)

更に、上記第 3 の工程において特定条件下で加熱処理して得られるゲート電極を形成することにより、MOS 型半導体構造は優れた特性を備えている。その理由は、本発明者の知見によれば、以下のように推定される。

本発明においては、上述したように極めて薄く、且つ良質なゲート絶縁膜を形成することができる。このような良質なゲート絶縁膜（ゲート酸化膜および／又はゲート酸窒化膜）と、その上に形成したゲート電極（例えば、CVDによるポリシリコン、アモルファスシリコン、SiGe）との組合せに基づき、良好なトランジスタ特性（例えば、良好な界面特性）を実現することが可能となる。

更には、図3に示すようなクラスター化を行うことで、ゲート酸化膜およびゲート酸窒化膜形成と、ゲート電極形成との間における大気への暴露を避けることが可能となり、界面特性の更なる向上が可能となる。

以下、実施例により本発明を更に具体的に説明する。

実施例

実施例 1

後述する評価を行った酸窒化膜は、以下の（1）～（7）に示す工程を有する方法で作製し。

（1）：基板

基板には20cm（8インチ）のP型およびN型のシリコン基板を用い、比抵抗が8～12 Ω cm、面方位（100）のものを用いた。

（2）：ゲート酸化前洗浄

APM（アンモニア：過酸化水素水：純水＝1：2：10の混合液、60℃）とHPM（塩酸：過酸化水素水：純水＝1：1：10の混合液、60℃）およびDHF（フッ酸：純水＝1：100の混合液、23℃）を組み合わせたRCA洗浄によって、自然酸化膜と汚染要素（金属や有機物、パーティクル）を除去した。RCA洗浄は、APM10分→純水リンス10分→DHF3分→純水リンス10分→HPM10分→純水リンス10分→純水ファイナルリンス5

分を施した後、IPA（イソプロピルアルコール、220℃）乾燥を15分行い、ウェハ上の水分を乾燥させた。

（３）：酸化プロセス

上記（２）の処理が施されたシリコン基板上に次に示すような方法で酸化膜を形成した。

すなわち、（２）の処理が施されたシリコン基板を大気圧で300℃に加熱された反応室へ搬入した。ウェハを搬入した後に窒素ガスを5slm導入し、圧力0.7KPaに保持した。その雰囲気下でウェハを850℃に加熱した。温度が安定した後に、酸素ガスを0.7slm、水素ガスを0.1slm導入し、その状態でシリコン基板を3分間保持することで2nmの熱酸化膜を成膜した。酸化処理が施された後、窒素ガス3slmが導入された雰囲気中で300℃まで温度を落とし、反応室を大気圧に戻してからウェハを搬出した。

（４）：プラズマ窒化プロセス

上記（３）の処理が施された酸化膜上に次に示すような方法で窒化を施した。このプラズマ窒化プロセスにおいては、図4に示すプラズマ装置系を用いた。

すなわち、プラズマ装置系において、上記250℃および400℃に加熱されたシリコン基板上にArガスと窒素ガスとをそれぞれ1000sccm、40sccmずつ流し、圧力を6.7Pa、67Pa（50mTorr、500mTorr）に保持した。その雰囲気中に複数のスロットを有する平面アンテナ部材（RLSA）を介して3W/cm²のマイクロ波を照射することにより窒素ガスおよびArガスとを含むプラズマを形成し、このプラズマを用いて前述の酸化膜を窒化することで酸窒化膜（酸窒化膜）を成膜した。図9～図12に示した評価は、この（４）工程までの処理が施された

サンプルを用いて行った。

(5) : ホウ素の突き抜けを評価するために、(4) の処理が施された酸化膜上に更に P o l y シリコンを成膜した。

すなわち、(4) の処理が施されたシリコン基板を 6 3 0 °C に過熱し、基板上にシランガス (S i H₄) を 2 5 0 s c c m 導入し、圧力を 3 3 P a (2 5 0 m T o r r) に 3 1 分間保持することで 3 0 0 n m の膜厚のポリシリコンを成膜された。更にポリシリコン上からイオン打ち込み (Ion Implantation) によりホウ素を注入した。注入条件は密度が 5 E 1 5 [5 × 1 0¹⁵ a t . m s / c m²] 、注入エネルギーが 5 K e V にて行った。ホウ素イオンは打ち込まれたままでは膜中にてドーパント (不純物) としての役割を果たさない。その後熱アニールを施してポリシリコン中のシリコン原子との化学的な結合を促進させる必要がある。熱アニールとして、窒素を 2 0 0 0 s c c m 導入した大気圧下にてウェハを 1 0 0 0 °C に高速加熱し、1 0 秒間ウェハを高温で保持する R T A (Rapid Thermal Anneal) 処理を行った。

実施例 2

実施例 1 において得られた上記 (4) までの処理を施したサンプルの S I M S 分析を行い、膜中の窒素含有量を評価した。また同時に酸素およびシリコン元素の分析も行い、これらの結果から酸化反応の考察を行った。

図 9 ~ 図 1 3 に熱酸化膜に窒化プラズマ処理を施した場合における窒素原子の 2 次イオン質量分析 (S I M S : Secondary Ion Mass Spectrometry) 結果を示す。横軸は膜厚、縦軸は窒素含有量である。ここで用いた S I M S 条件は、以下の通りであった。

< S I M S 条件 >

測定機器 : P h y s i c a l E l e c t r o n i c s 6 6 5

0

1 次イオン種 : Cs^+

1 次加速電圧 : 0.75 KV

スパッタレート : 約 $9 \text{ E} - 3 \text{ nm} / \text{sec}$ 測定領域 : 直径 $420 \mu\text{m} \times 672 \mu\text{m}$ 真空度 : $3 \text{ E} - 7 \text{ Pa}$ 以下

測定イオン極性 : +

チャージアップ補正法 : 有

イオンの信号強度から濃度への変換は、Nをイオン注入した SiO_2 標準試料の測定によって決定した相対感度係数 (RSF : Relative Sensitive Factor) を用いて行った。また、スパッタ時間の深さへの変換は分析によって生じたクレーターの深さを表面粗さ計 (SLOAN社 DEKTA8000) を用いて測定することによって行った。ただし、本測定では分析領域が非常に浅く、表面粗さ計による深さの測定が困難であるため、試料と同一条件で測定を行った標準試料から得られたスパッタレートを用い、深さへの変換を行った。

図9および図11に示されるように、本発明で提案した窒化膜形成方法を用いることで、膜中に15%~30%の窒素を含有させることに成功した。また、後述する図13に示されるように窒化処理を施すことでホウ素の突き抜けを防止できている。

図9は基板温度 400°C において窒化時の圧力を変えた場合における窒素含有量を示す。低圧 (6.7 Pa)、高圧 (67 Pa) とともに窒化時間の増加に伴い窒素含有量の増加が生じている。低圧ではより多くの窒素が膜中に含まれていることが分る。図3に圧力を変えた場合における酸素信号強度を示す。窒化時間の増加に伴い酸素含有量が低下している。低圧では $0.5 \text{ nm} \sim 1.5 \text{ nm}$ 付近の

酸素含有量が極端に減っており、酸素と窒素の置換反応が主に生じていることがわかる。高圧では酸素が1.5 nmよりも厚い領域へ押し出されており、これは物理的な膜厚の増加が生じていることを示している。

図11は窒化時の温度を変えた場合における窒素含有量を示す。低温(250℃)、高温(400℃)ともに窒化時間の増加に伴い窒素含有量の増加が生じている。

図12に温度を変えた場合の酸素含有量を示す。上述したように低温での40秒と高温での20秒は窒素含有量が同じであるにもかかわらず、酸素の含有量に大きな差が生じている。これは、低温では窒化時に酸素と窒素が置換する反応が主に生じており、高温ではシリコンと酸素の結合を切って窒素が混入する反応が主に生じているためと考えられる。

以上から、本発明による窒化処理を施すことで膜中に窒素が含有され、通常の酸化膜よりも誘電率の高い酸窒化膜が形成されていることが示された。また、図9、11に示すように、窒化の条件を変えることで膜中の窒素濃度を任意に制御することが可能であり、本発明を用いることで目的に応じた窒素濃度を持つ酸窒化膜を形成することが可能である。

実施例 3

この例では、ホウ素の付き抜け効果に対する評価結果を示す。図6にP型MOSキャパシタにおけるホウ素の付き抜け度合いをSIMSにより調べた結果を示す。図13に用いたサンプルは、シリコン基板としてN型シリコン基板(リンドーパ)を用い、実施例1の(5)までの処理が施されたものを用いた。

SIMSはBackside SIMS分析法を用て、裏面(基板側)からイオンによりスパッタを行い、SIMS分析を行った。これは通

常の表面（ゲート電極側）からSIMS分析を行った場合、分析時のスパッタによりゲート電極中のホウ素が酸化膜を通過して基板まで到達してしまい、ホウ素の付き抜け評価が困難となるためである。ここで用いたBackside SIMS条件は、以下の通りであった。

<Backside SIMS条件>

測定機器：CAMECA IMS-6f

1次イオン種： O_2^+

1次加速電圧：3.0KV

スパッタレート：約0.2nm/sec

測定領域：直径30 μ mの円

真空度：3E-7Pa以下

測定イオン極性：+

チャージアップ補正法：無

妨害イオン除去法：無

イオンの信号強度から濃度への変換は、Bをイオン注入したSi標準試料の測定によって決定した相対感度係数（RSF：Relative Sensitive Factor）を用いて行った。また、スパッタ時間の深さへの変換は同条件で測定したSi標準試料の分析によって生じたクレーターの深さを表面粗さ計（SLOAN社 DEKTA K3030もしくはDEKTA K8000）を用いて測定することによって行った。Si基板中での深さの精度は装置の安定性に依存し、±10%程度と考えられるが、実際には試料基板側から測定を行い、データ処理により深さを反転させているため、界面の位置などの絶対的な深さは意味を持たない。

図13から明らかなように、窒化処理を施した場合はホウ素（B）が基板まで到達しておらず、前述した閾値電圧のシフトなどが抑制されることが分った。窒化を施さない場合、活性化アニール時に

ホウ素が Gate 電極側から染み出してきて、酸化膜を通りぬけて基板に到達している様子が図に顕著に表れている。P 型 MOS トランジスタは基板側のチャンネルに逆バイアスをかけて正孔を誘起させることで動作するが、ホウ素が抜けることでポリシリコンの抵抗が下がることから、逆バイアスをかけた際にポリシリコン電極において空乏層が発生し、電氣的膜厚が増大するという恐れも有る。しかしながら、図に示されるように窒化処理を施した場合は、ホウ素が酸窒化膜表面で縮退（パイルアップ）し、上に述べたような特性の劣化を抑制することが可能となっている。

産業上の利用可能性

上述したように本発明によれば、優れた特性を有し、しかも基材との界面における界面準位を抑制した酸窒化膜を含む電子デバイス用材料およびその製造方法が提供される。

請 求 の 範 囲

1. 電子デバイス用基材と、該基材上に配置されたシリコン酸窒化膜とを少なくとも含む電子デバイス用材料であって；前記シリコン酸窒化膜が、該シリコン酸窒化膜の厚さ方向に、S I M S（二次イオン質量分析）分析に基づく窒素含有量の分布を調べた際に、酸窒化膜表面付近に窒素原子を多く含むことを特徴とする電子デバイス用材料。

2. 前記シリコン酸窒化膜が、シリコン酸窒化膜の窒化により得られたものである請求項1に記載の電子デバイス用材料。

3. 前記シリコン酸窒化膜の深さ方向におけるS I M S分析に基づく窒素含有量の最大値が10パーセント以上30パーセント以下である請求項1または2に記載の電子デバイス用材料。

4. 前記シリコン酸窒化膜の深さ方向におけるS I M S分析に基づく窒素含有量の最大値が20パーセント以上30パーセント以下である請求項3に記載の電子デバイス用材料。

5. 前記窒素含有量のS I M S分析に基づく分布曲線において、該曲線の半値幅が2 nm以下である請求項1～4のいずれかに記載の電子デバイス用材料。

6. 前記窒素含有量のS I M S分析に基づく分布曲線において、該曲線のピークが、シリコン酸窒化膜の膜表面より1 nm以内にある請求項1～5のいずれかに記載の電子デバイス用材料。

7. 前記電子デバイス用基材が、半導体用の基材である請求項1～6のいずれかに記載の電子デバイス用材料。

8. 前記電子デバイス用基材が、シリコンを主成分とする基材である請求項1～7のいずれかに記載の電子デバイス用材料。

9. 前記シリコン酸窒化膜が、M O S型トランジスタにおけるゲ

ート絶縁膜である請求項 1 ～ 8 のいずれかに記載の電子デバイス用材料。

10. 電子デバイス用基材上に配置されたシリコン酸化膜に対して、少なくとも窒素ガスを含む処理ガスに基づくプラズマを照射することにより、その厚さ方向に、SIMS（二次イオン質量分析）分析に基づく窒素含有量の分布を調べた際に、酸窒化膜表面付近に窒素原子を多く含むことを特徴とする電子デバイス用材料の製造方法。

11. 前記プラズマが、平面アンテナ部材（RLSA）に基づくプラズマである請求項 10 に記載の電子デバイス用材料の製造方法。

Fig.1

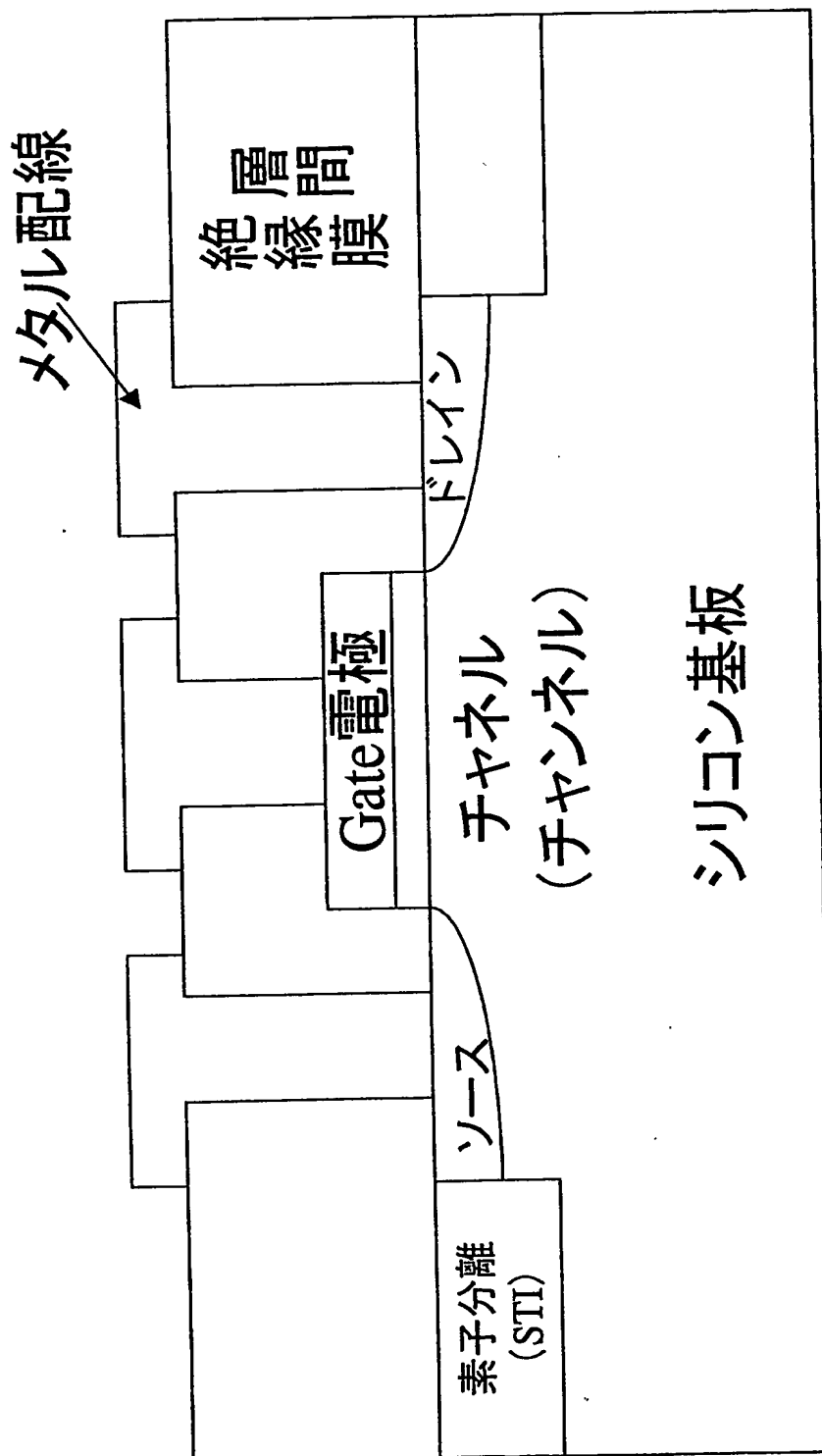


Fig.2(a)

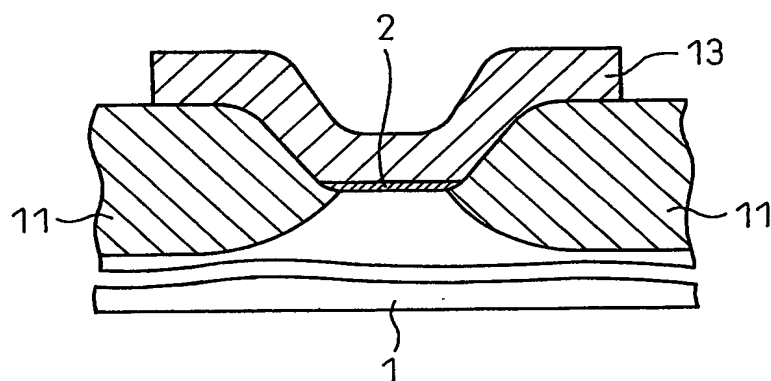


Fig.2(b)

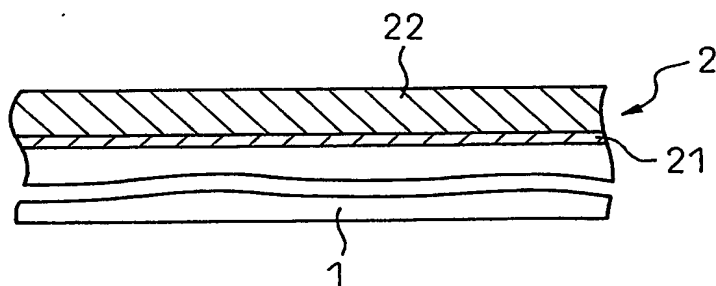


Fig.3

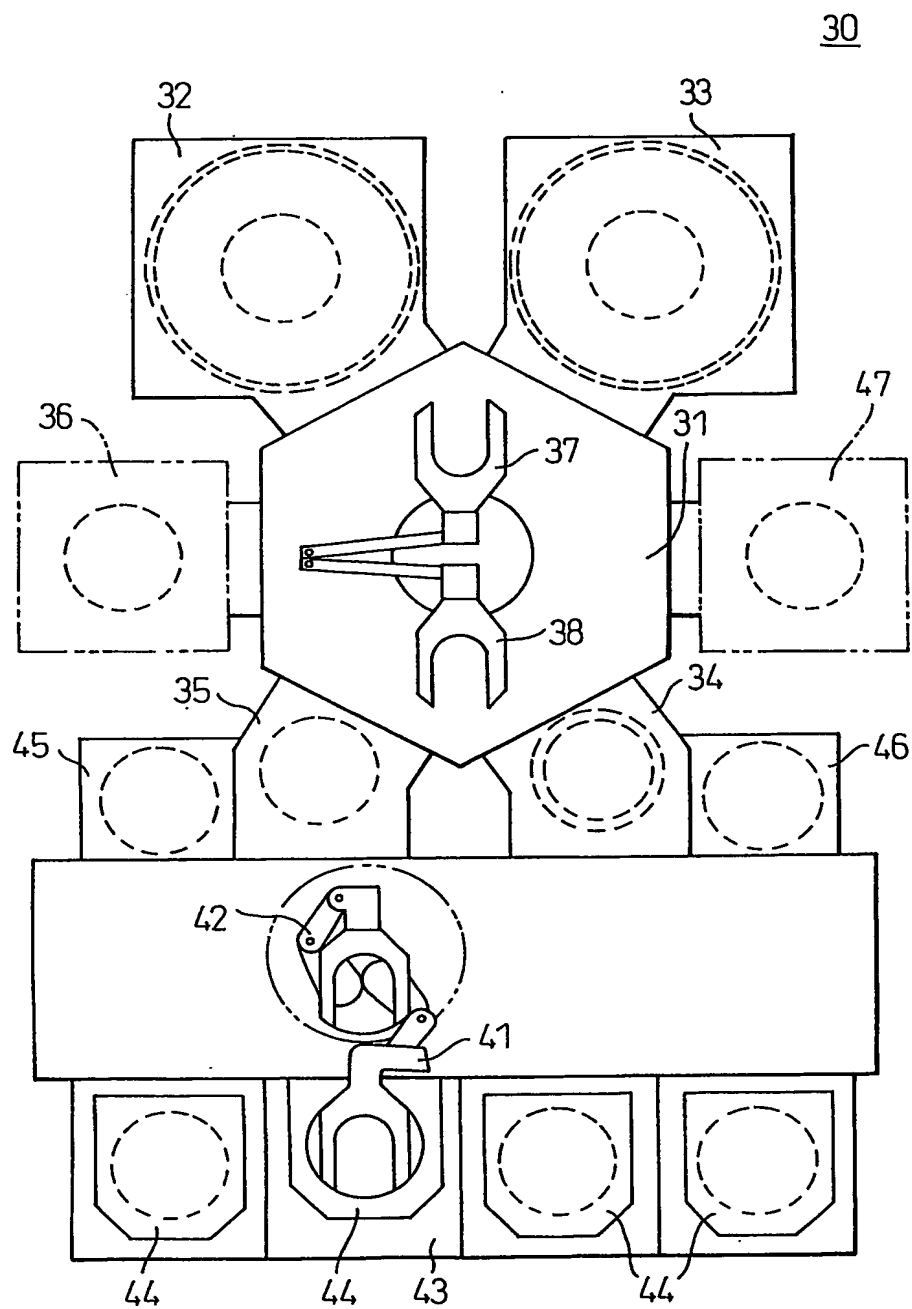


Fig.4

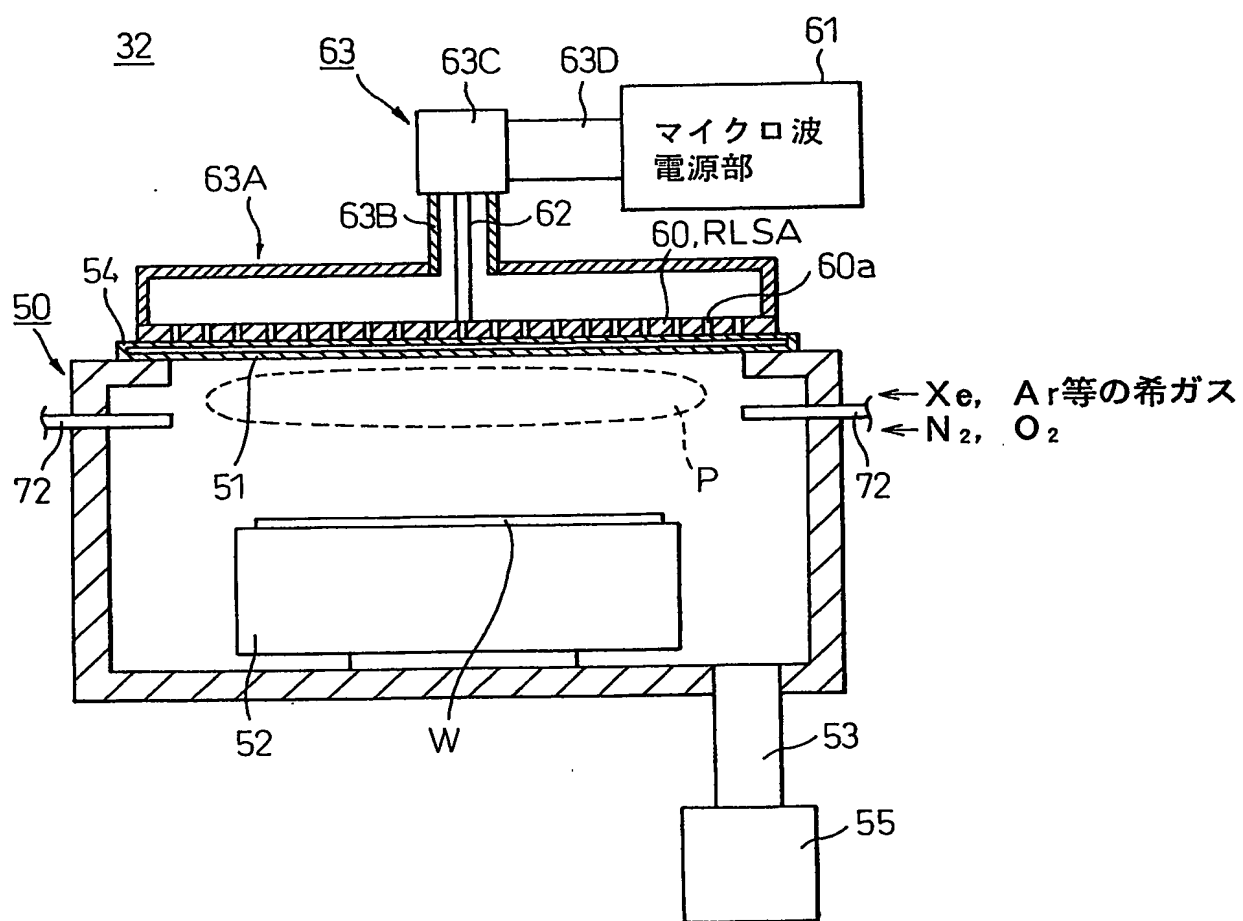


Fig.5

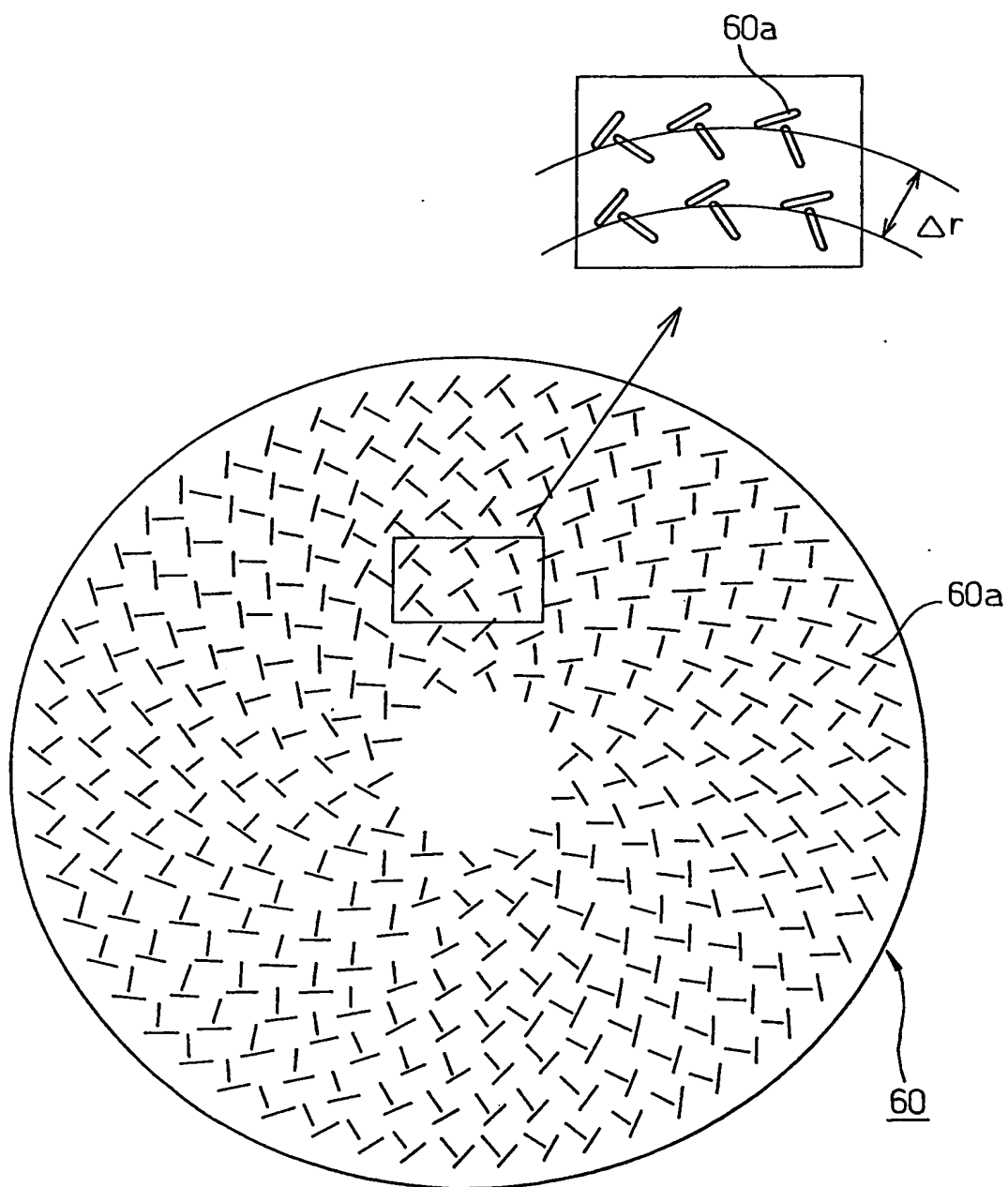


Fig.6

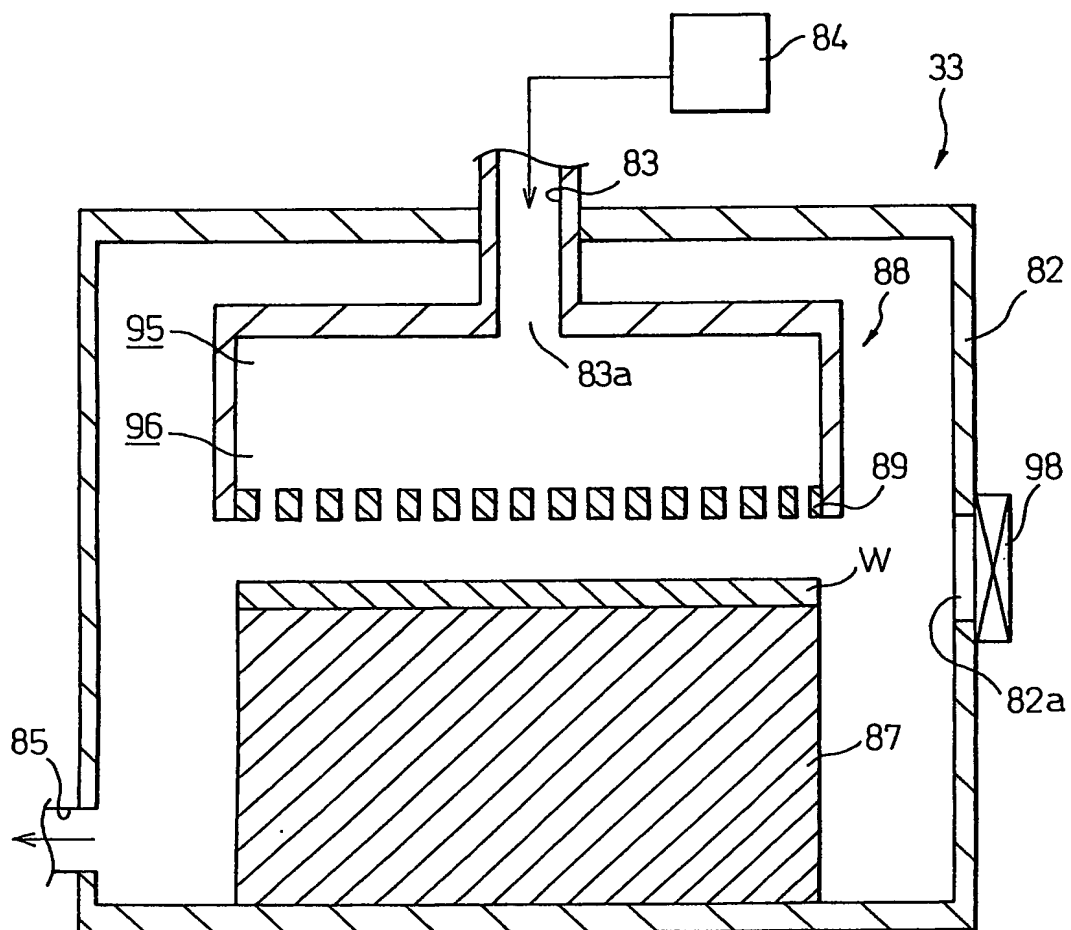


Fig.7A

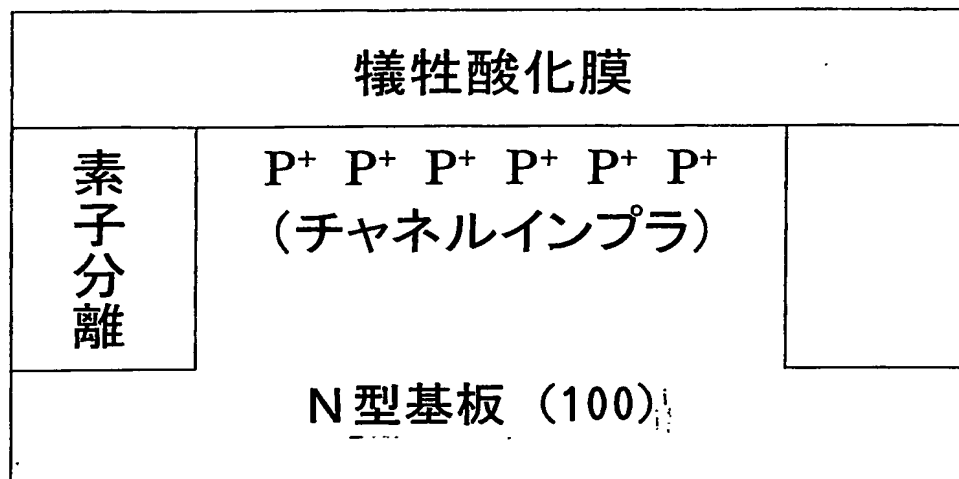


Fig.7B

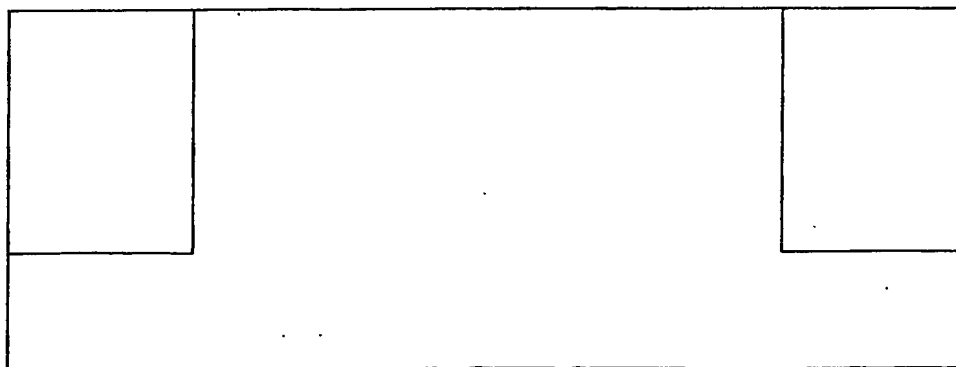


Fig.7C

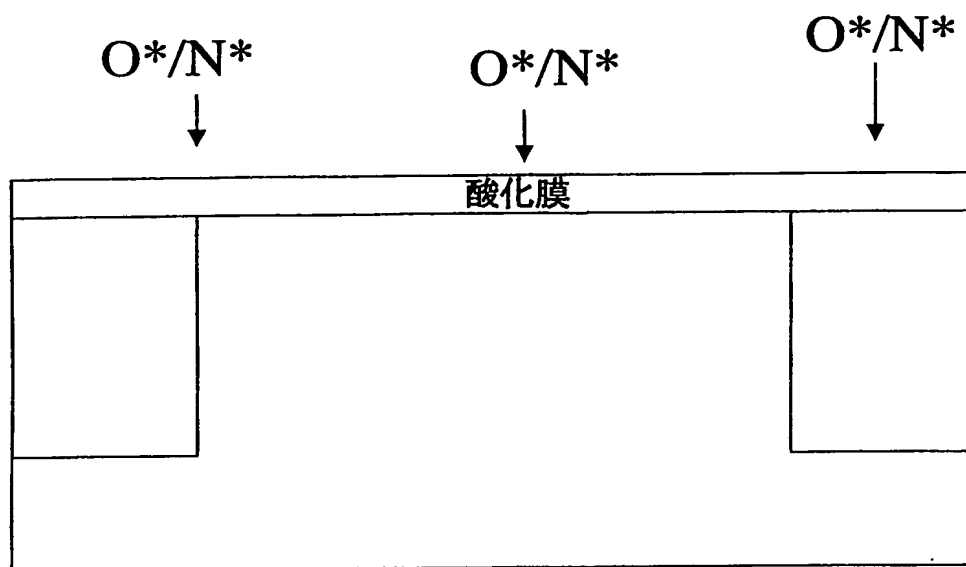


Fig.7D

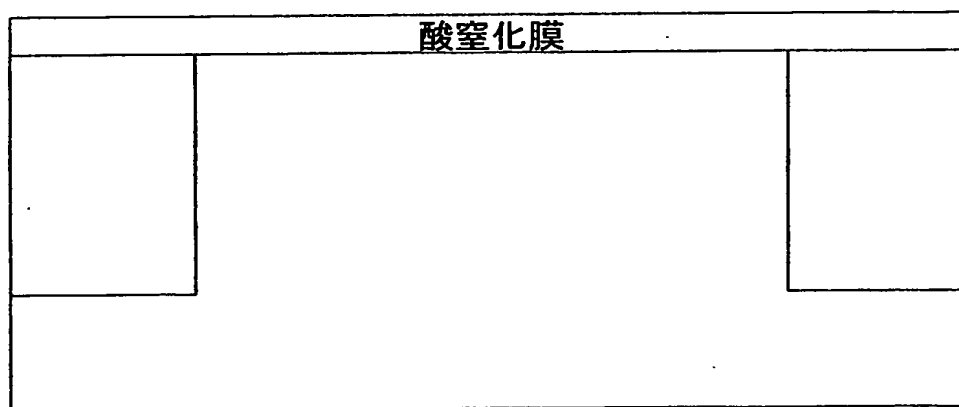


Fig.7E

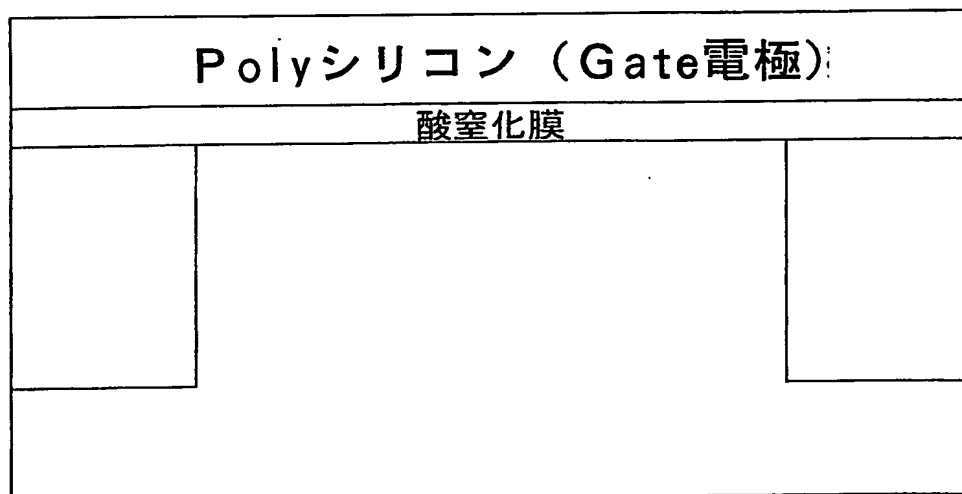


Fig.7F

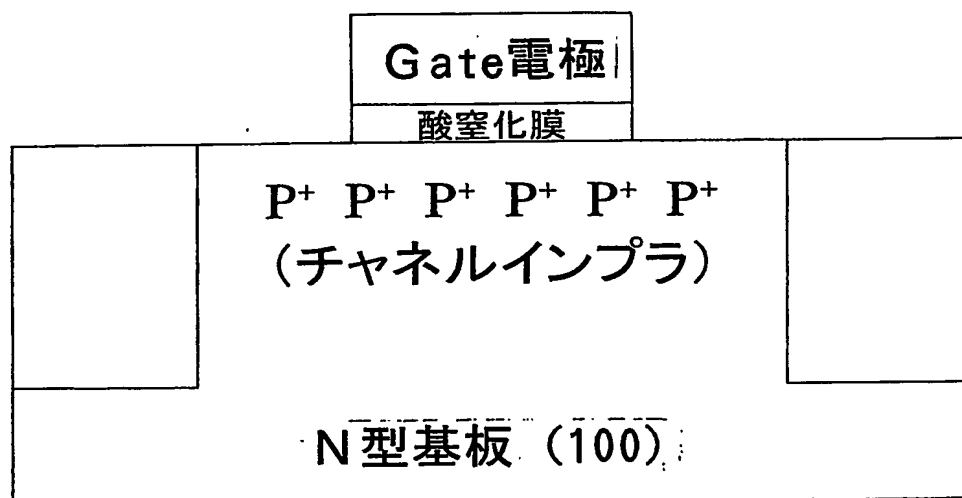


Fig.7G

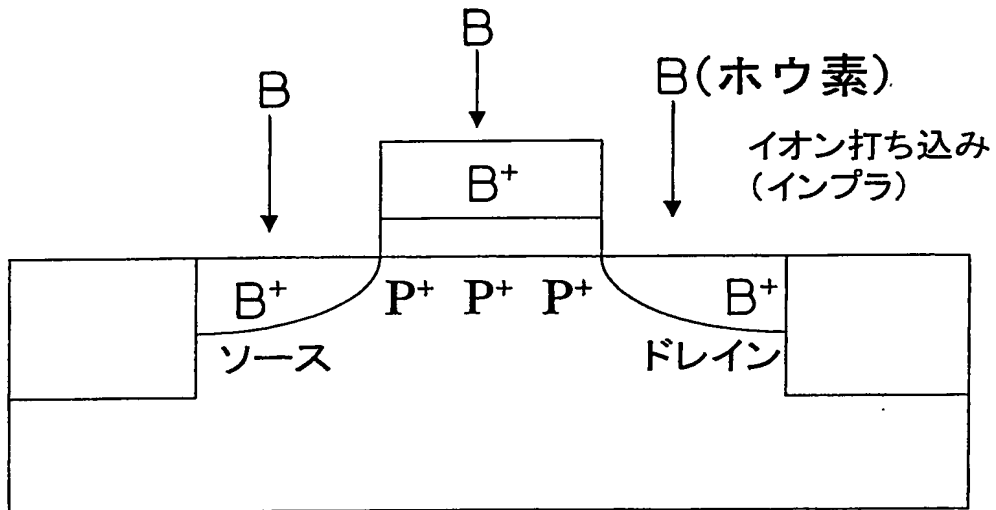


Fig.7H

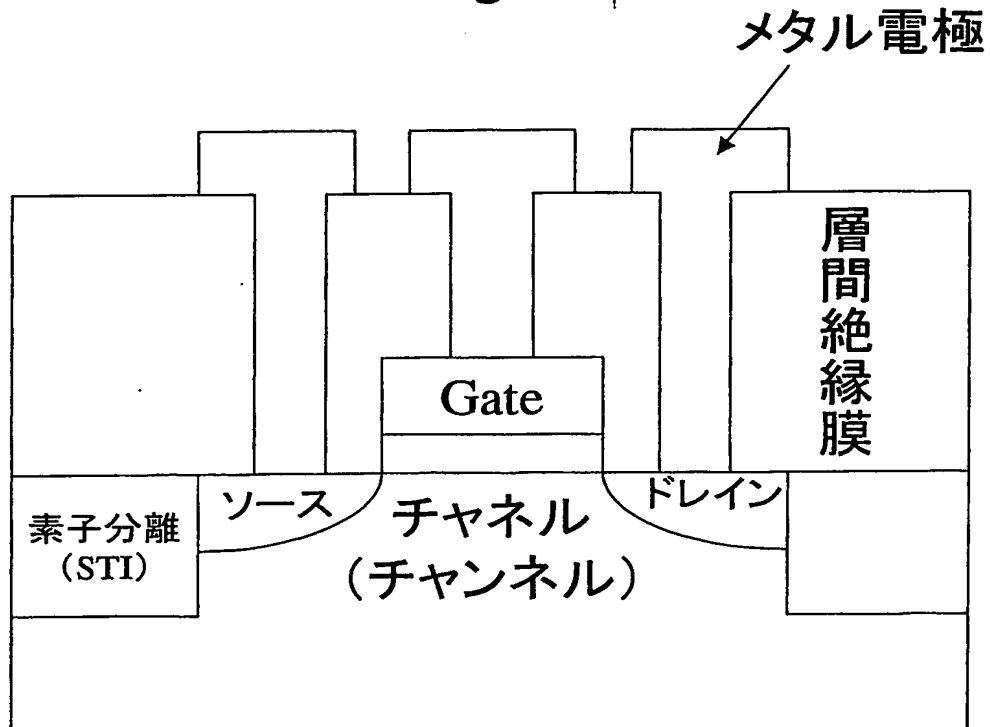


Fig.8(a)

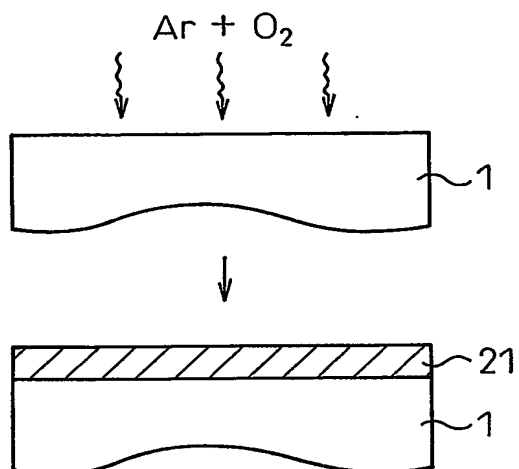


Fig.8(b)

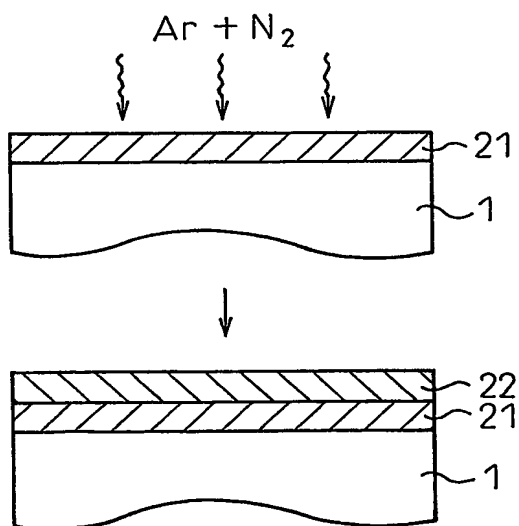


Fig.9

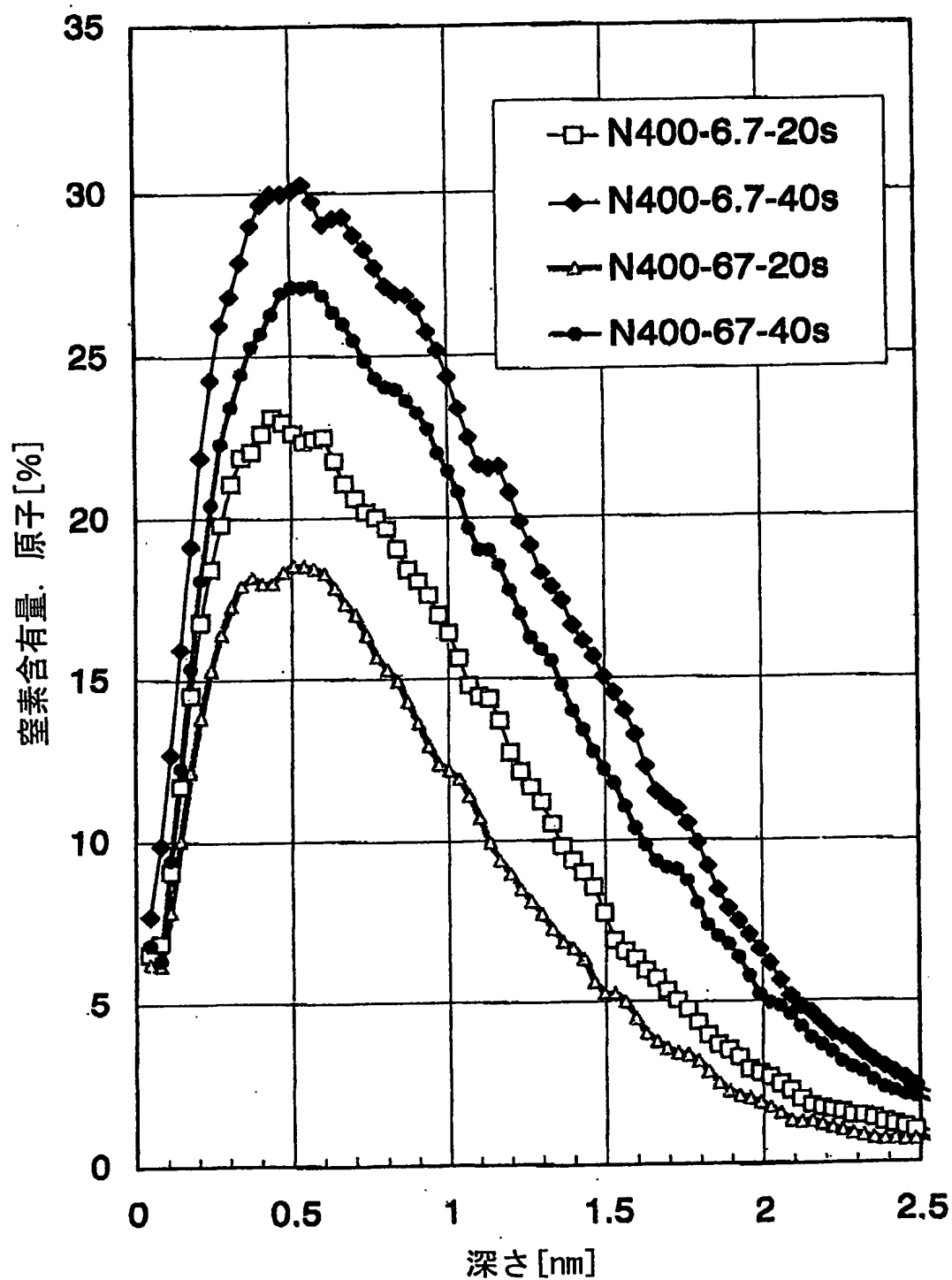


Fig.10

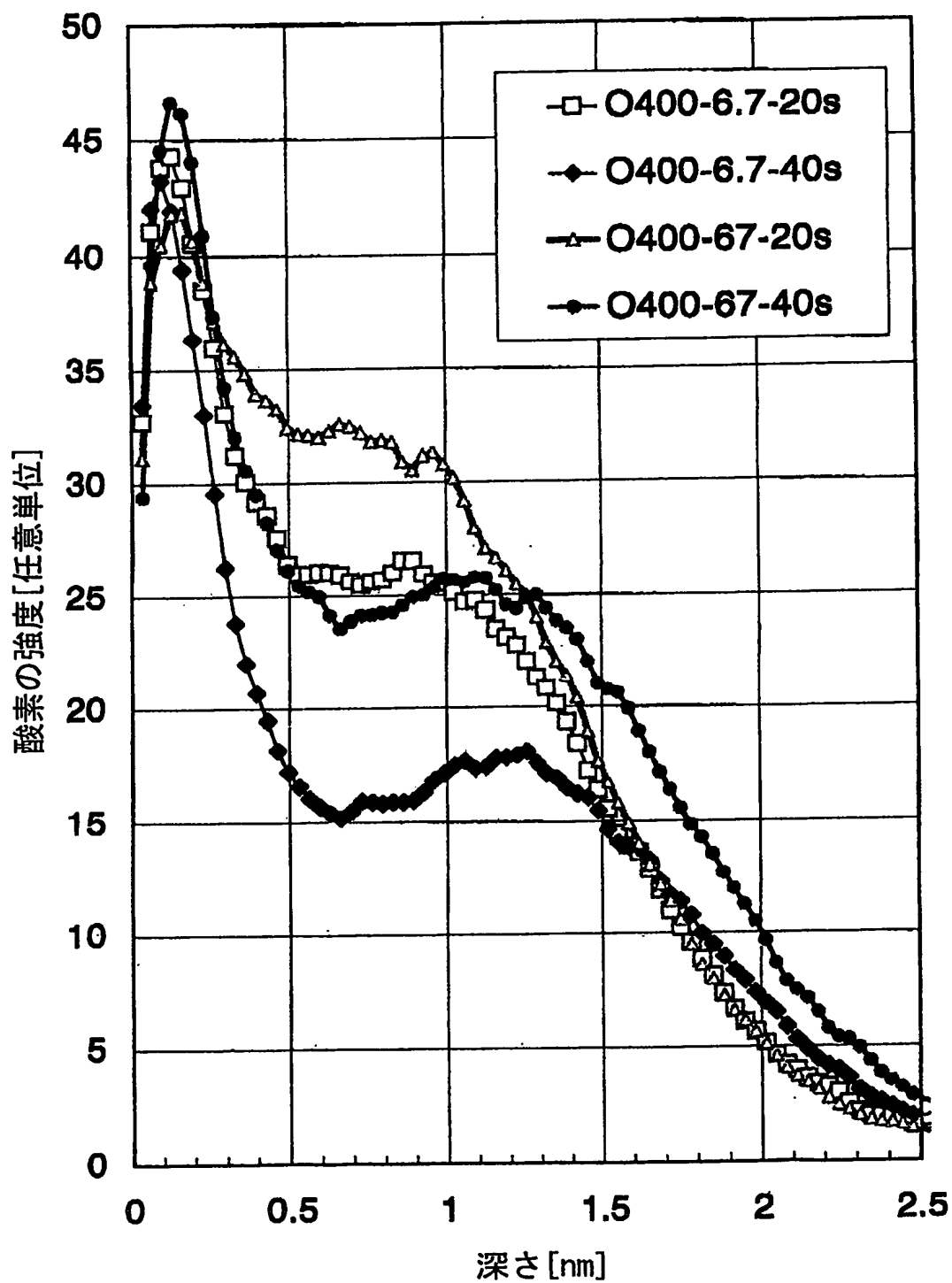


Fig.11

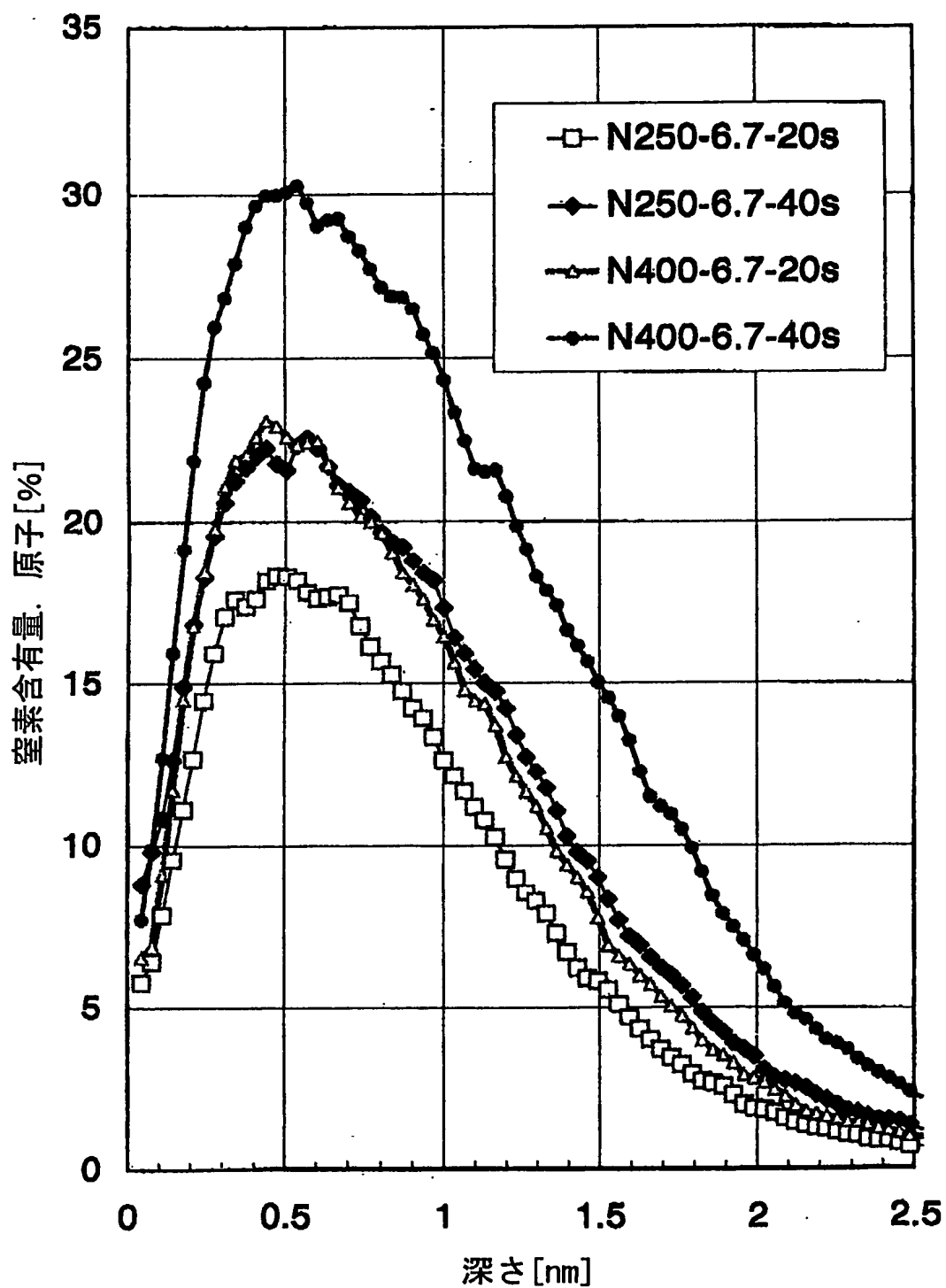


Fig.12

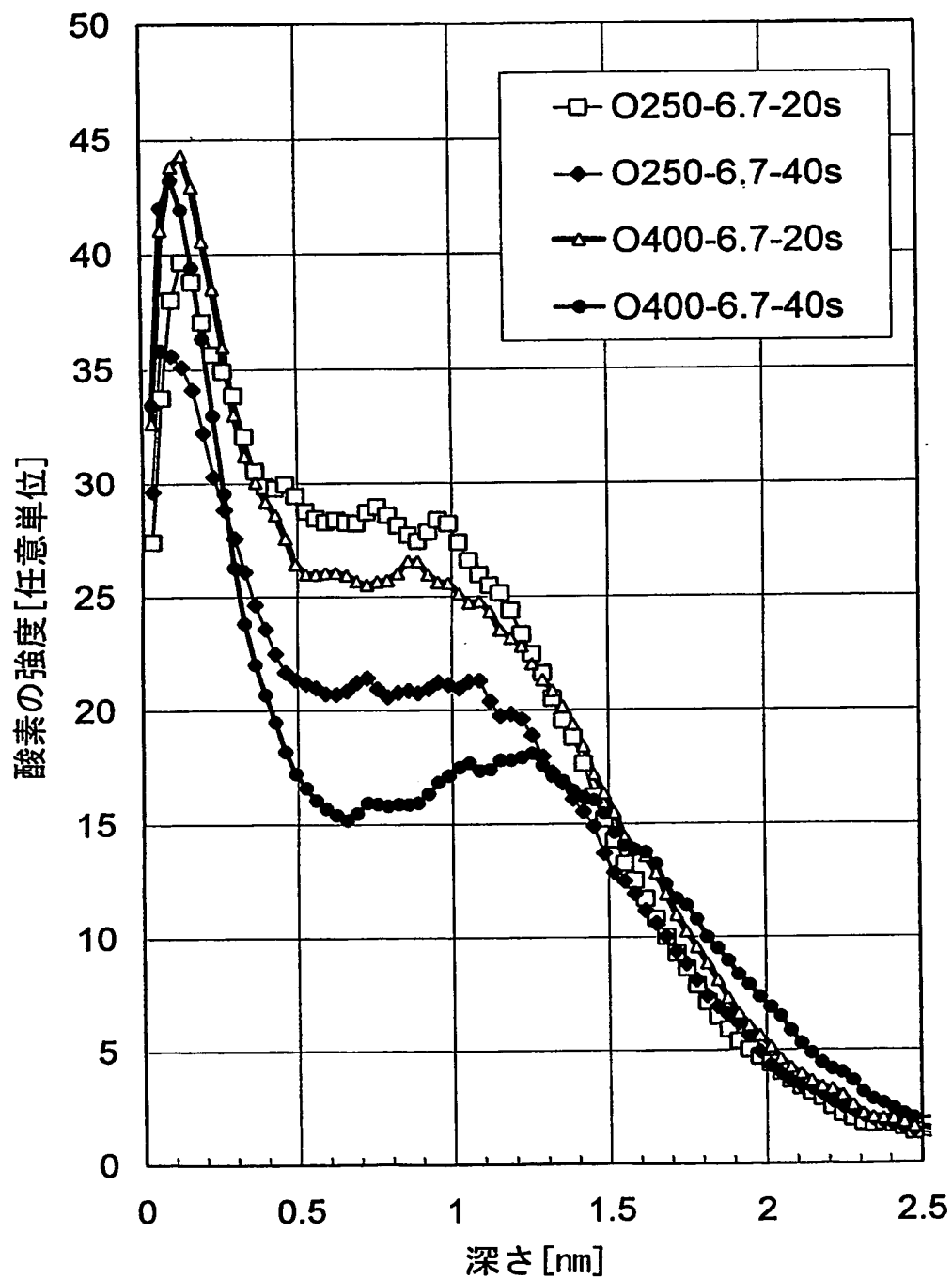
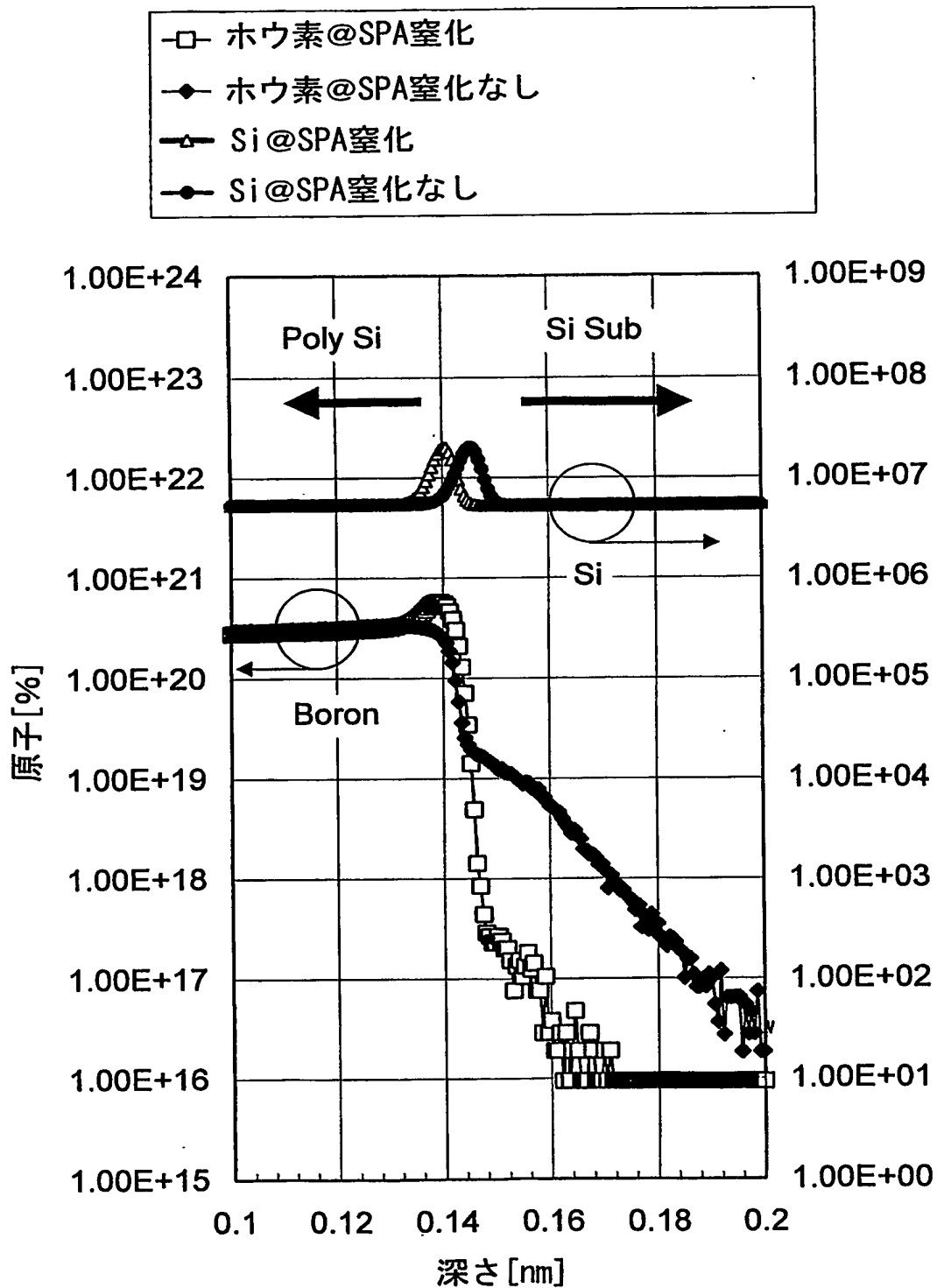


Fig.13



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/04126

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L21/318, 29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/318, 29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 847079 A2 (TEXAS INSTRUMENTS INC.), 10 June, 1998 (10.06.98), Column 3, line 51 to column 6, line 49; Figs. 1 to 5 & JP 10-173187 A Par. Nos. [0011] to [0018]; Figs. 1 to 5 & US 6110842 A & US 6136654 A	1-11
X	WO 00/65631 A2 (APPLIED MATERIALS, INC.), 02 November, 2000 (02.11.00), Description, page 5, line 24 to page 8, line 7; page 19, line 13 to page 26, line 14; Figs. 1 to 2, 10 to 14 & JP 2002-543584 A Par. Nos. [0013] to [0015], [0044] to [0064]; Figs. 1 to 2, 10 to 14 & US 6450116 B1	1-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family</p>
--	---

Date of the actual completion of the international search 19 June, 2003 (19.06.03)	Date of mailing of the international search report 01 July, 2003 (01.07.03)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/04126

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,X	JP 2002-222941 A (Sony Corp.), 09 August, 2002 (09.08.02), Par. Nos. [0019] to [0031]; Figs. 1 to 2 (Family: none)	1-2, 5-10
P,X	WO 02/054474 A1 (Tadahiro OMI), 11 July, 2002 (11.07.02), Description, page 11, lines 3 to 23; page 19, line 9 to page 21, line 15; Figs. 5, 13 to 15 & JP 2002-261097 A	1-2, 7-11
E,X	JP 2003-163213 A (NEC Corp.), 06 June, 2003 (06.06.03), Par. Nos. [0024] to [0028]; Figs. 7 to 10 (Family: none)	1-3, 5-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L 21/318, 29/78

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L 21/318, 29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	EP 847079 A2 (TEXAS INSTRUMENTS INCORPORATED), 1998.06.10 3欄51行-6欄49行, 図1-5 & JP 10-173187 A, 【0011】-【0018】, 図1-5 & US 6110842 A & US 6136654 A	1-11
X	WO 00/65631 A2 (APPLIED MATERIALS, INC.), 2000.11.02 明細書5頁24行-8頁7行, 19頁13行-26頁14行, 図1-2, 10-14 & JP 2002-543584 A, 【0013】-【0015】, 【0044】-【0064】, 図1-2, 10-14 & US 6450116 B1	1-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

19.06.03

国際調査報告の発送日

01.07.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 和瀬田 芳正

4R

2929

電話番号 03-3581-1101 内線 3469

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, X	JP 2002-222941 A (ソニー株式会社), 2002. 08. 09 【0019】 - 【0031】, 図 1 - 2 (ファミリーなし)	1-2, 5-10
P, X	WO 02/054474 A1 (大見忠弘), 2002. 07. 11 明細書 1 1 頁 3 行 - 2 3 行, 1 9 頁 9 行 - 2 1 頁 1 5 行, 図 5, 図 1 3 - 1 5 & JP 2002-261097 A	1-2, 7-11
E, X	JP 2003-163213 A (日本電気株式会社), 2003. 06. 06 【0024】 - 【0028】, 図 7 - 1 0 (ファミリーなし)	1-3, 5-10